بررسی استفاده از یک ساختار وارونگر کسکود شده به عنوان تقویت‌کننده بوستر در یک ساختار کسکود تنظیم شده با تکنولوژی ۹۰ نانومتری CMOS در یک گیرنده مخابراتی نوری کم‌توان برای نرخ داده ۱۰ گیگابیت بر ثانیه

محمد دهقان‌پور فراشاه[۱]، مجید پوراحمدی[۲] و علی میروکیلی[۳]

[۱] دانشجوی دکتری، گروه برق، واحد یزد، دانشگاه آزاد اسلامی، یزد، ایران. dehghanpour@iauyazd.ac.ir

[۲] **نویسنده مسئول**، استادیار گروه برق، واحد یزد، دانشگاه آزاد اسلامی، یزد، ایران.
Pourahmadi@iauyazd.ac.ir

[۳] استادیار دانشکده مهندسی برق، دانشگاه یزد، یزد، ایران. ali.mirvakili@yazd.ac.ir

DOR:
20.1001.1.23223146.1399.7.2.6.0

نشریه سامانه‌های غیرخطی در مهندسی برق

دوره ۷ - شماره ۲

پاییز و زمستان ۱۳۹۹

صفحات ۱۶۰ الی ۱۷۶

ISSN: 2322-3146

http://journals.sut.ac.ir/jnsee

چکیده

در این مقاله یک ساختار تقویت‌کننده امپدانس انتقالی بر پایه ساختارهای RGC با پهنای باند بالا و توان تلفاتی کم برای کار در یک سیستم گیرنده مخابرات نوری برای کاربردهای مسافت کوتاه ارائه شده است. در این ساختار، با اضافه کردن ساختار کسکود به یک وارونگر، و بهره بردن از آن به عنوان طبقه تقویت‌کننده RGC به عنوان یک شبکه فیدبک تمام فعال، خازن غالب ورودی ساختار گیرنده ایزوله شده، و بدین صورت با مصرف توان کمتری، پهنای باند ۶/۴ گیگاهرتز به دست آمده است. همچنین، در این ساختار از یک سلف به صورت فعال استفاده شده است تا با ایجاد رزونانس با خازن بار، پهنای باند مدار را افزایش دهد. بدین صورت به دو روش ایزوله کردن خازن غالب ورودی و کاهش اثر خازن بار، بدون نیاز به تزریق جریان بالا به مدار، پهنای باند مدار افزایش پیدا کرده است. نتایج شبیه‌سازی عملکرد مناسب مدار در نرخ بیت ۱۰ گیگابیت بر ثانیه را به خوبی نشان می‌دهند. این مدار، تنها ۱/۶ میلی وات توان مصرف می‌کند که پهنای باندی برابر با ۶/۴ گیگاهرتز و بهره ای برابر با ۴۰ دسی بل اهم را به ارمغان می آورد.

واژه‌های کلیدی

تقویت‌کننده امپدانس انتقالی،

وارونگر کسکود شده،

تقویت‌کننده کسکود تنظیم شده،

CMOS،

گیرنده مخابراتی نوری،

کم‌توان،

پهن‌باند.

Sahand University of Technology

DOR: 20.1001.1.23223146.1399.7.2.6.0

Journal of Nonlinear Systems in Electrical Engineering

Vol.7, No.2

Autumn and Winter 2020

ISSN: 2322 – 3146

http://journals.sut.ac.ir/jnsee

Survey of Using a Cascoded Inverter Circuit as a Booster Amplifier in a Regulated Cascode Circuit for the Low Power Optical Receiver Applications for 10Gb/s Bit Rates Using 90nm CMOS Technology

Mohammad Dehghanpour Farashah[1], Majid Pourahmadi[2] and Ali Mirvakili[3]

[1]Ph.D Student, Azad University of Yazd/Electronics and electrical Department, Yazd, Iran, dehghanpour@iauyazd.ac.ir

[2] **Corresponding Author**, Azad University of Yazd/Electronics and electrical Department, Yazd, Iran, pourahmadi@iauyazd.ac.ir

[3]Yazd University /Electrical Engineering Department, Yazd, Iran, ali.mirvakili@yazd.ac.ir

ABSTRACT

In this paper, a low power and wideband Regulated Cascode (RGC)-based Transimpedance Amplifier (TIA) is presented to be used for the short range optical receiver systems. In this structure, input dominant parasitic capacitance is isolated by adding a cascoded inverter amplifier as a fully active feedback network in the booster of an RGC amplifier. As a result, a 6.4 GHz bandwidth is obtained at a lower power consumption. In addition, for eliminating the effect of output parasitic capacitance by resonating with an inductor and widening the bandwidth, an active inductive load is implemented at the output node of the proposed TIA circuit. Therefore, considering two main points of isolation of input parasitic capacitance effect and reduction of load parasitic capacitance effect, bandwidth is increased without using a high amount of power consumption. Based on the results simulated in HSPICE using 90 nm CMOS technology, the proposed TIA can reach the data bit rate of 10Gb/s. In addition, the proposed TIA consumes only 1.6mW of power, and has the gain of 40dBΩ across the 6.4 GHz of bandwidth.

Keywords

transimpedance amplifier,

cascoded inverter amplifier,

adjustable cascode amplifier,

CMOS,

optical communication receiver,

low power,

wideband.

۱- مقدمه

رشد تقاضا برای اینترنت و شبکه های ارتباطی پر سرعت، طراحان را به سوی طراحی سیستم های ارتباط فیبر نوری با ظرفیت-های بالا سوق داده است. تقویت‌کننده امپدانس انتقالی[1] اولین طبقه در گیرنده های نوری بوده که بعد از آشکارساز نوری استفاده می‌شود. لذا این تقویت‌کننده یک نقش اساسی در طراحی سیستم‌های گیرنده نوری داشته و هم چنین تاثیر بسزایی در عملکرد کل گیرنده نوری خواهد داشت.

اگر چه استفاده از موادی هم چون GaAs و InP به دستیابی به مدارات با سرعت بالا منتج می‌شود [۲-۱] ولیکن استفاده از فناوری CMOS نیز به دلیل مواردی هم چون هزینه کمتر و چگالی ترکیب بالاتر بسیار جذاب می‌باشد [۴-۳].

بنابراین، استفاده از فناوری CMOS به معنای نیاز به یک سازش جهت پایاپای کردن پارامترهایی از جمله بهره، پهنای باند، نویز، ولتاژ منبع تغذیه و توان مصرفی در یک مدار می‌باشد. علاوه بر این، مورد اصلی در محدود سازی طراحی تقویت‌کننده‌های امپدانس انتقالی، در گره ورودی آن‌ها است [۵]. خازن پارازیتی بسیار بزرگ آشکارساز ورودی، موجب محدود شدن پهنای باند شده و بنابراین نرخ داده مدار TIA کاهش می‌یابد.

توپولوژی های حالت جریان[2] از جمله مدارات تقویت‌کننده گیت مشترک [۷-۶] وحالت‌های جریان [۸] دارای مقاومت ورودی پایینی هستند و به طور گسترده ای در طبقات ورودی مدارات TIA مورد استفاده قرار می‌گیرند. توپولوژی‌های گیت مشترک و تقویت‌کننده‌های فیدبک موازی هم در طراحی TIA ها استفاده می‌شوند. آرایش‌های گیت مشترک در بهترین حالت و در مقایسه با مدارات فیدبک موازی حدود ۴۱٪ بهره کمتری را مهیا می‌کنند. به منظور دست یابی به بهترین حالت در یک تقویت‌کننده امپدانس انتقالی در آرایش گیت مشترک، می‌بایستی قطب های ورودی و خروجی مدار در یک فرکانس مشابه تنظیم شوند.

تقویت‌کننده امپدانس انتقالی گیت مشترک دارای مقاومت ورودی پایینی معادل $1/gm$ می‌باشد، بنابراین اثر خازن پارازیتی ورودی روی پهنای باند را به طور نسبی کاهش می دهد [۹]. اما MOSFET های در مقیاس نانو، خصوصیات ضعیفی از خود نشان می‌دهند و رسانایی یک مدار گیت مشترک ساخته شده به وسیله یک MOSFET مقیاس نانو مقدار کمی دارد. بنابراین خازن پارازیتی ایزوله نبوده و قطب غالب در گره ورودی تشکیل خواهد شد. همچنین، حساسیت مدار گیت مشترک بسیار پایین است به این دلیل که جریان‌های نویزی تمام المان‌ها به طور مستقیم به گره ورودی ارجاع داده می‌شوند [۱۰].

ساختارهای متفاوتی برای طراحی مدارات تقویت‌کننده امپدانس انتقالی تا کنون ارائه شده‌اند از جمله TIA های مبتنی بر مدارات اینورتر [۱۲-۱۱] و توپولوژی‌های آینه جریان [۱۳]. توپولوژی آینه جریان در [۱۳] دارای مزیتی است که مقدار مقاومت ورودی پایینی معادل $1/gm$ داشته و اثر خازن پارازیتی آشکار ساز نوری را ایزوله می‌کند. برای ایزوله‌سازی اثر خازن پارازیتی آشکارساز و دست‌یابی به مقاومت ورودی پایین‌تر و همچنین پهنای باند بالاتر، طبقه کسکود تنظیم شده[3] می‌تواند استفاده شود [۱۵-۱۴].

[1] Transimepedance Amplifier (TIA)
[2] Current Mode
[3] RGC: Regulated Cascode Circuit

به کار گیری ساختار کسکود تنظیم شده در یک منبع تغذیه پایین بسیار سخت و پیچیده است. به این دلیل که به وسیله منبع تغذیه ۱ ولتی در فناوری ۹۰ نانومتر CMOS، مقدار ولتاژ آستانه می‌تواند به بیش از ۴۰۰ میلی ولت نیز افزایش پیدا کند. علاوه بر این، یک تقویت‌کننده امپدانس انتقالی حامل جریان مناسب برای اتصالات داخلی تراشه به تراشه نوری و الکتریکی در [۱۶] پیشنهاد شده است که بر اساس سیگنال‌دهی دیفرانسیلی جریان پایین بیان شده است. قطعاً استفاده از ساختارهای دیفرانسیلی مستلزم توان تلفاتی بالاتر و سوییِنگ خروجی کمتر در مقایسه با ساختارهای سورس مشترک می‌باشند. همچنین، تقویت‌کننده‌های امپدانس انتقالی برای کاربردهای بسیاری از جمله تشخیص سیگنال‌های حس‌گر تصویر هم مورد استفاده قرار می‌گیرند [۱۷].

در مدار TIA پیشنهادی این مقاله، از یک RGC به همراه اینورتر کسکود شده به عنوان شبکه فیدبک استفاده شده است که بر اثر میلر RGC های مرسوم غلبه کرده و نرخ داده بالایی را با مصرف توان پایینی به دنبال خواهد داشت.

در ادامه و در بخش دوم این مقاله، ساختارهای گیت مشترک و مدارات کسکود تنظیم شده مرسوم بررسی شده و در بخش سوم، مدار پیشنهادی بر پایه مدارات RGC به عنوان یک مدار پهن‌باند کم‌مصرف عنوان شده است. در بخش چهارم، ساختار TIA پیشنهادی بر پایه اینورتر تحلیل و شبیه‌سازی شده و در نهایت بخش پنجم نیز شامل جمع بندی و نتیجه گیری می‌باشد.

۲- مدارات TIA پهن‌باند

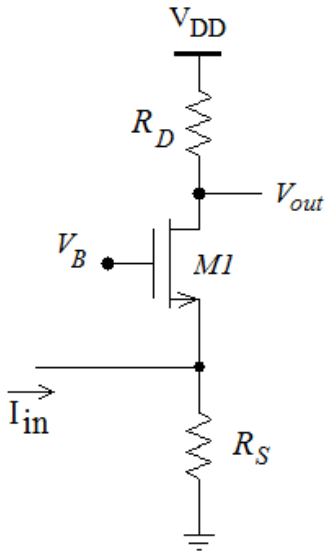
۲-۱- مدارات کسکود تنظیم شده گیت مشترک

شکل(۱) ساختار تقویت‌کننده گیت مشترک را نشان می‌دهد. این ساختار فاقد یک شبکه فیدبک می‌باشد. مقاومت ورودی آرایش گیت مشترک و قطب غالب به‌صورت ذیل نوشته می‌شوند:

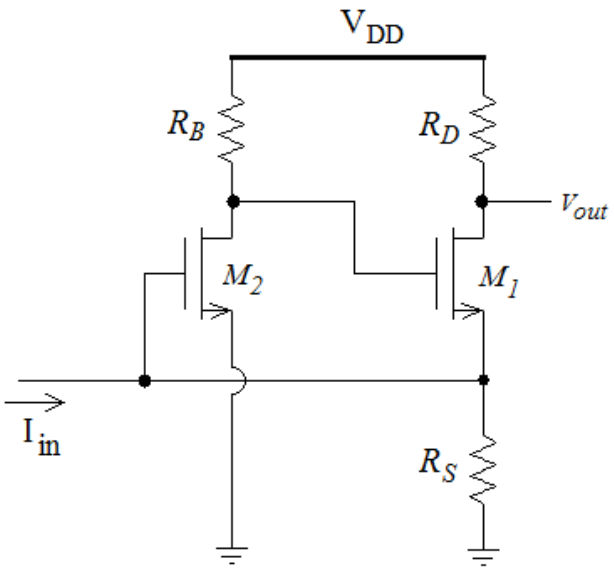
$$R_{in} = \frac{R_S}{1+R_S.g_{m1}} \quad (۱)$$

$$\omega_{CG} = \frac{1+R_S.g_{m1}}{R_S.C_{pd}} \quad (۲)$$

که در آن C_{pd} معادل خازن پارازیتی آشکار ساز فتودیود ورودی بوده و g_m نیز مقدار رسانایی ترانزیستور MOS می‌باشد. مقدار این خازن پارازیتی در محدوده ۲۰۰ تا ۵۰۰ فمتو فاراد است. این مقدار از خازن پارازیتی می‌تواند به سادگی قطب غالب را در گره ورودی تشکیل دهد. جهت کاهش مقاومت ورودی، رسانایی ترانزیستور M1 می‌بایستی افزایش پیدا کند. افزایش g_{m1} به معنی افزایش جریان بایاس بوده که این خود چالش‌های زیادی را ایجاد می‌کند. در ابتدا، افزایش جریان بایاس به معنای افزایش توان مصرفی است که این نتیجه نامطلوبی است. همچنین، ناحیه عملکرد به دلیل افزایش افت ولتاژ روی مقاومت R_D به حالت تریود رفته و از آن جایی که بهره باند میانی تقویت‌کننده امپدانس انتقالی برابر R_D می‌باشد، کاهش R_D نیز انتخاب مناسبی نمی‌باشد.



شکل ۱. ساختار تقویت‌کننده امپدانس انتقالی گیت مشترک مرسوم



شکل ۲. ساختار تقویت‌کننده امپدانس انتقالی کسکود تنظیم شده مرسوم

همچنین، چگالی طیفی نویز ارجاع داده شده به گره ورودی ساختار گیت مشترک می‌تواند بصورت ذیل بیان شود:

$$\overline{I_{n,CG}^2} = \frac{4KT}{R_S} + \frac{4KT}{R_D} + \frac{4KT}{g_{m1}}\left(\gamma + \frac{1}{g_{m1}.R_D}\right)\left[\omega^2 {C_{in}}^2 + \frac{1}{{R_s}^2}\right] \qquad (۳)$$

که در آن T معادل دمای مطلق، K ثابت بولتزمن، و γ ضریب نویز کانال می‌باشد. از معادله (۳) می‌توان دریافت که با کاهش R_D، نویز ارجاع داده شده به گره ورودی نیز کاهش می‌یابد.

۲-۲- ساختار کسکود تنظیم شده مرسوم

در ساختار کسکود تنظیم شده، امپدانس خروجی با اضافه کردن شبکه فیدبک در مقایسه با ساختار گیت مشترک افزایش می‌یابد. ساختار تقویت‌کننده امپدانس انتقالی کسکود تنظیم شده در شکل (۲) نشان داده شده است. در این روش، g_{m1} با ضریب

$(1+g_{m2}R_B)$ افزایش می‌یابد. با صرف نظر از مدلاسیون طول کانال جهت ساده‌سازی، مقاومت ورودی تقویت‌کننده امپدانس انتقالی کسکود تنظیم شده را می‌توان به صورت ذیل نوشت:

$$R_{in} = \frac{R_S}{1+g_{m1}R_S(1+g_{m2}R_B)} \quad (۴)$$

قطب های ورودی و خروجی، قطب های اصلی‌ای هستند که روی پهنای باند یک تقویت‌کننده امپدانس انتقالی کسکود تنظیم شده تاثیر بسزایی دارند. از آن جایی که مقاومت ورودی در کسکود تنظیم شده کاهش یافته است، انتظار می‌رود که قطب ورودی، قطب غالب نباشد.

۳- تقویت‌کننده امپدانس انتقالی پیشنهادی

شکل شماره (۳) مدار پیشنهادی تقویت‌کننده امپدانس انتقالی بر پایه مدارات کسکود تنظیم شده را نشان می‌دهد. ساختار فیدبک و بار سلفی فعال، کارهای اصلی مقاله پیش رو می باشند. شبکه فیدبک متفاوت بوده و اینورتر کسکود شده نیز به عنوان شبکه فیدبک به کار گرفته شده است. این اینورتر فیدبک به وسیله ساختار کسکود شده بوست شده است. استفاده از اینورتر کسکود شده دارای مزایایی نسبت به ساختارهای مرسوم می‌باشد. یکی از این مزایا این است که به دلیل وجود مقاومت بالاتر از ولتاژ منبع تغذیه تا زمین، جریان DC کمتری از شبکه فیدبک عبور می‌کند. بنابراین، توان مصرفی کاهش می‌یابد. دیگر مزیت این ساختار عبارت است از این‌که استفاده از ترانزیستورهای M_3 و M_4 باعث حذف اثر میلر خازن گیت-درین ترانزیستورهای M_1 و M_2 می‌شود که همان‌طور که می‌دانیم اثر میلر می‌تواند باعث محدود شدن پهنای باند مدار شود. همچنین بهره ولتاژ شبکه فیدبک به دلیل جمع شدن پارامترهای رسانایی $(g_{m1}+g_{m2})$ افزایش می‌یابد، و مقاومت بالاتری در درین ترانزیستور M_3 دیده می‌شود به دلیل این‌که بهره ولتاژ شبکه فیدبک افزایش یافته است که در نهایت کاهش مقاومت ورودی را به دنبال خواهد داشت. بنابر این، اثر قطب ورودی کاهش خواهد یافت. لذا مقاومت ورودی مدار تقویت‌کننده امپدانس انتقالی پیشنهادی می‌تواند به صورت ذیل بیان شود:

$$R_{in} = \frac{1}{\frac{1}{R_S}+g_{m5}.(1+A_{inv})} \quad (۵)$$

که در آن A_{inv} بهره ولتاژ اینورتر کسکود شده است که برابر است با:

$$A_{inv} = (g_{m1}+g_{m2}).(g_{m3}r_{o1}r_{o3} \| g_{m4}r_{o4}r_{o2}) \quad (۶)$$

همان طور که از معادله (۵) می توان استنباط کرد، به دلیل افزایش مقدار A_{inv}، مقاومت ورودی به طور چشم‌گیری کاهش می‌یابد.

خازن ورودی هم به صورت ذیل نوشته می‌شود:

$$C_{in} = C_{Pd} + C_{gs1} + C_{gs5} + C_{gs2} \quad (۷)$$

بنابراین با توجه به کاهش چشم‌گیر مقاومت ورودی، تا این جا می‌توان گفت که قطب غالب در گره خروجی تشکیل خواهد شد. به منظور کاهش اثر قطب خروجی، از ترکیب ترانزیستورهای M_6 و M_7 استفاده شده است که یک شبکه سلفی فعال را تشکیل

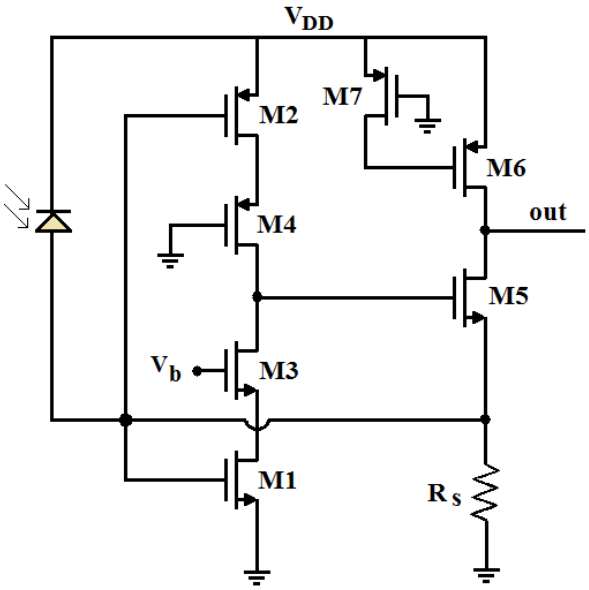
می‌دهند. این ترکیب با خازن گره ورودی رزونانس کرده و قطب خروجی را به سمت فرکانس‌های بالاتر سوق می‌دهد. بنابراین، اثر هر دو قطب حذف شده و مدار می‌تواند با مصرف کمتر توان در نرخ داده های بالا کار کند. همچنین بهره‌گیری از شکل فعال سلف به جای شکل پسیو آن، کاهش مساحت اشغالی بر روی تراشه را به همراه خواهد داشت[۲۷].

مقاومت خروجی در فرکانس‌های پایین Z_t، و قطب خروجی می‌توانند به صورت ذیل نوشته شوند:

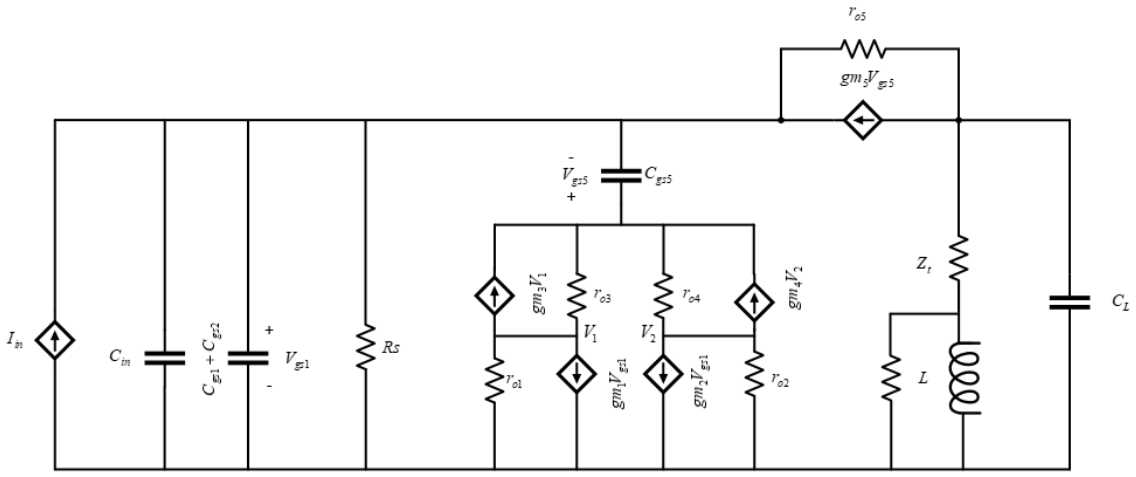
$$R_{out} = \frac{1}{g_{m6}} \quad (۸)$$

$$Z_{out} = Z_t = \frac{r_{o7}C_{gs6}.S+1}{g_{m6}+C_{gs6}.S} \quad (۹)$$

$$C_{out} = C_L + C_{dg5} + C_{db5} + C_{dg6} + C_{dg7} + C_{db7} \quad (۱۰)$$



(الف)



(ب)

شکل ۳. الف) مدار TIA پیشنهادی و ب) مدار معادل سیگنال کوچک TIA پیشنهادی

بنابراین، تابع تبدیل مدار پیشنهادی دارای دو قطب اصلی و یک صفر می‌باشد که می‌تواند به صورت زیر بیان شود:

$$Z_R = \frac{A_0.(C_{gs6}.r_{o7}.S+1)}{aS^2+bS+c} \qquad (۱۱)$$

که در آن A_0، a، b و c به صورت زیر تعریف می‌شوند:

$$A_0 = g_{m3}.r_{o3}.r_{o1} + R_S.g_{m3}.g_{m5}.r_{o3}.r_{o1} + R_S.(g_{m2} + g_{m1}).g_{m3}.g_{m4}.g_{m5}.r_{o1}.r_{o2}.r_{o3}.r_{o4} + g_{m4}.r_{o2}.r_{o4} + R_S.g_{m4}.g_{m5}.r_{o2}.r_{o4} \qquad (۱۲)$$

$$a = C_{out}.C_{in}.R_S.g_{m3}.r_{o3}.r_{o1}. + C_{out}.C_{in}.R_S.g_{m4}.r_{o2}.r_{o4} \qquad (۱۳)$$

$$b = C_{out}.g_{m3}.r_{o3}.r_{o1} + C_{out}.R_S.g_{m3}.g_{m5}.r_{o3}.r_{o1} + C_{in}.R_S.g_{m3}.g_{m6}.r_{o3}.r_{o1} + C_{out}.R_S.(g_{m1} + g_{m2}).g_{m3}.g_{m4}.g_{m5}.r_{o1}.r_{o2}.r_{o3}.r_{o4} + C_{out}.g_{m4}.r_{o2}.r_{o4} + C_{in}.R_S.g_{m4}.g_{m6}.r_{o2}.r_{o4} + C_{out}.R_S.g_{m4}.g_{m5}.r_{o2}.r_{o4} \qquad (۱۴)$$

$$c = g_{m3}.g_{m6}.r_{o3}.r_{o1}(1 + R_S.g_{m5}) + R_S.(g_{m1} + g_{m2}).g_{m3}.g_{m4}.g_{m5}.g_{m6}.r_{o2}.r_{o1}.r_{o3}.r_{o4} + g_{m4}.g_{m6}.r_{o2}.r_{o4}(1 + R_S.g_{m5}) \qquad (۱۵)$$

تاثیر قطب خروجی به وسیله صفر ایجاد شده کاهش می‌یابد. بنابراین، پهنای باند تحت تاثیر قطب ورودی می‌باشد. فرکانس قطع 3dB- نیز به صورت زیر بیان می‌شود:

$$f_{-3dB} \approx \frac{N}{2\pi.C_{in}.R_S.(g_{m3}.r_{o3}.r_{o1}+g_{m4}.r_{o2}.r_{o4})} \qquad (۱۶)$$

که در آن N از رابطه ذیل به دست می‌آید:

$$N = g_{m3}.r_{o3}.r_{o1} + R_S.g_{m3}.g_{m5}.r_{o3}.r_{o1} + R_S.(g_{m1} + g_{m2}).g_{m3}.g_{m4}.g_{m5}.r_{o1}.r_{o2}.r_{o3}.r_{o4} + g_{m4}.r_{o2}.r_{o4} + R_S.g_{m4}.g_{m5}.r_{o2}.r_{o4} \qquad (۱۷)$$

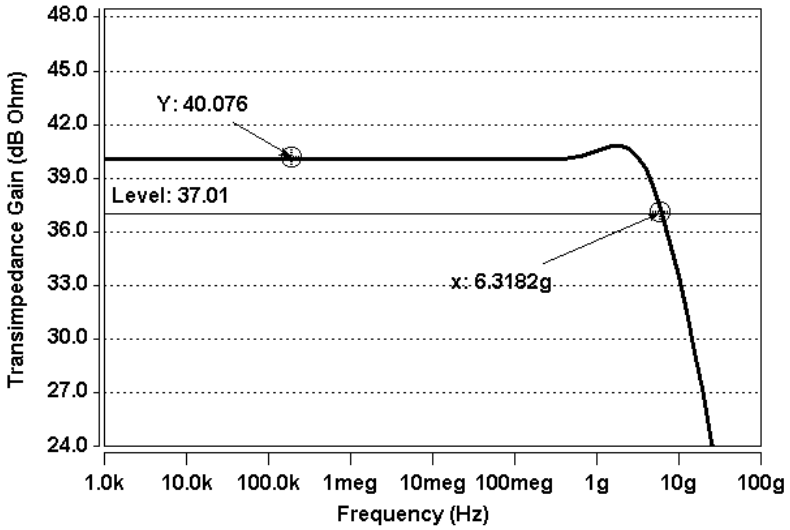
این خصوصیات پهن‌باند و توان مصرفی کم مدار TIA با افزایش نویز حرارتی تولید شده به دست می‌آید. البته لازم به ذکر است که نویز حرارتی ناشی از ترانزیستورهای M_3 و M_4 قابل صرف نظر می‌باشند چرا که به صورت کسکود شده قرارگرفته‌اند و با صرف نظر از مدلاسیون طول کانال آن‌ها، می‌توان گفت $I_{n,M3} = I_{d,M3}$ و $I_{n,M4} = I_{d,M4}$ [۱۸].

نویز حرارتی M_5 ، M_6 و M_7 به طور مستقیم با گره ورودی جمع شده و به منظور فراهم نمودن پاسخ فرکانسی مناسب، این ترانزیستورها می‌بایستی دارای رسانایی بیشتری باشند. لذا چگالی نویز ارجاع داده شده به گره ورودی به این دلیل است علی الخصوص زمانی که TIA با ولتاژ تغذیه پایینی طراحی شده باشد. نویز ارجاع داده شده به گره ورودی به صورت زیر بیان می‌شود:

$$\overline{I_{n,in}^2} \approx 4KT\gamma\left(\frac{1}{\gamma.R_S}+\frac{1}{g_{m1}+g_{m2}}+g_{m5}+g_{m6}+g_{m7}\right) \qquad (۱۸)$$

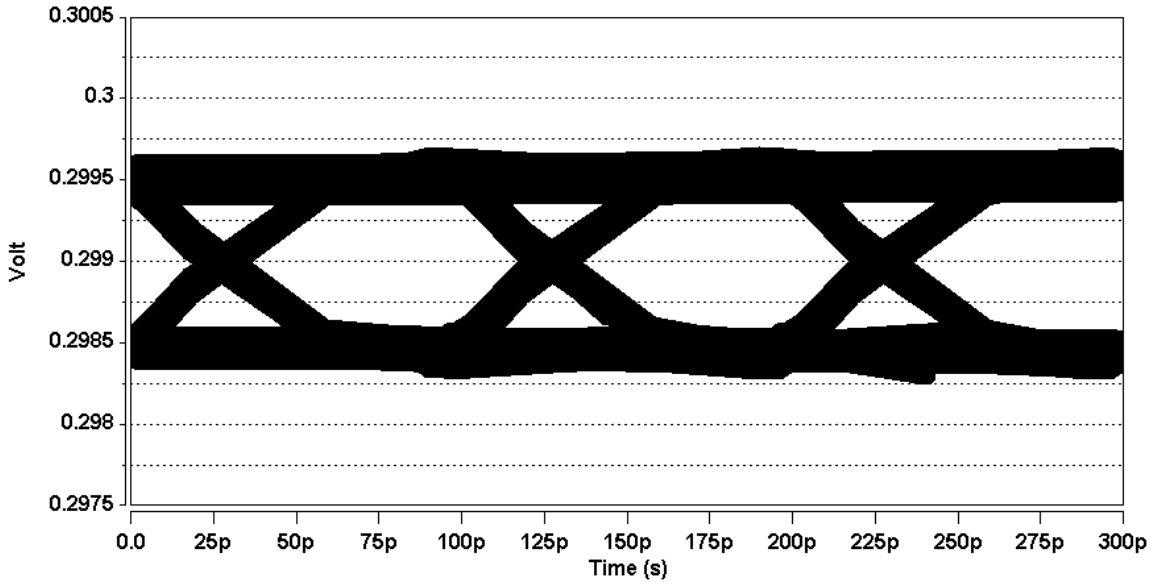
٤- نتایج شبیه‌سازی

مدار تقویت‌کننده امپدانس انتقالی پیشنهادی توسط فناوری CMOS در مقیاس ۹۰ نانومتر شبیه‌سازی شده است. همان‌گونه که در شکل (۴) دیده می‌شود، نتایج شبیه‌سازی بهره امپدانس انتقالی معادل $40dB\Omega$ و پهنای باندی معادل $6.4GHz$ را نشان می‌دهندکه با توجه به توان مصرفی به دست آمده، و توجه به این نکته که برای کاربردهای مسافت کوتاه طراحی انجام شده است، بهره مناسبی می‌باشد[۱۹]. همچنین، مدار TIA پیشنهادی، تنها $1.6mW$ توان را در $1.2V$ منبع تغذیه مصرف می‌کند.

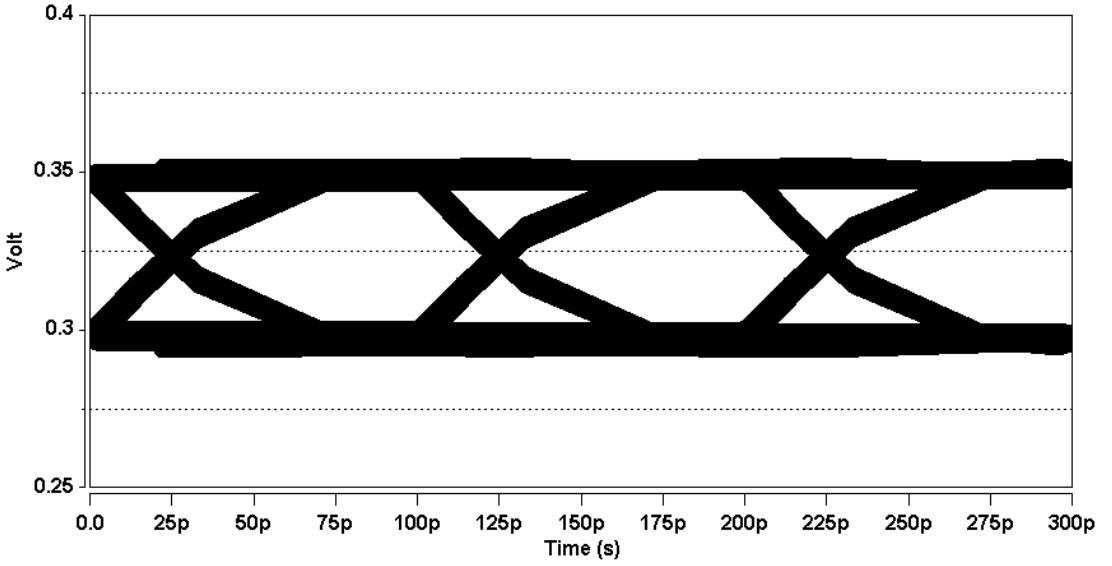


شکل ٤. پاسخ فرکانسی

شکل شماره (۵) نیز دیاگرام چشم شبیه‌سازی شده با نرخ داده $10Gbps$ با استفاده از الگوی توالی بیت‌های شبه تصادفی 2^7-1 بیتی برای دو سطح جریان ورودی مختلف را نشان می‌دهد. ولتاژ پیک به پیک سیگنال جریان در شکل شماره (۵) معادل $10\mu A$ و $500\mu A$ است به همراه زمان صعود و نزول $8ps$ به طور متناظر. باز شدگی عمودی چشم برابر با $1mV$ و $50mV$ برای سیگنال های ورودی $10\mu A$ و $500\mu A$ می‌باشد.



(الف)



(ب)

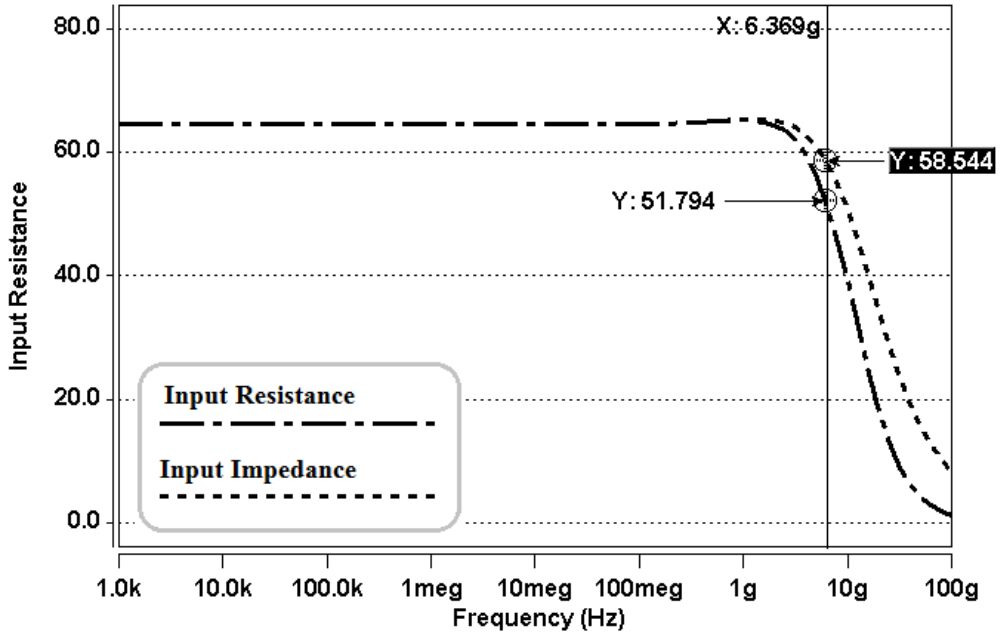
شکل ۵. دیاگرام چشم شبیه‌سازی شده برای جریان‌های ورودی الف) 10µA و ب) 500 µA

همچنین شکل شماره (۶)، مقاومت ورودی شبیه‌سازی شده و امپدانس مدار TIA پیشنهادی را نشان می‌دهد. همان طور که در شکل مشخص است، مقاومت ورودی برای تمامی فرکانس‌ها دارای مقدار کمی است و در فرکانس قطع f_{-3dB}، این مقدار برابر با 52Ω می‌باشد.

همچنین، اثر تغییرات ساخت روی پاسخ فرکانسی مدار پیشنهادی نیز بررسی شده است. شبیه‌سازی مونته-کارلو برای ۲۰۰ نمونه انجام شده و نتایج در شکل شماره (۷) قسمت (الف) نشان داده شده است. شبیه‌سازی انجام شده نشان می‌دهد که صفر ایجاد

شده در گره خروجی می‌تواند یک پیک در فرکانس های بالا ایجاد کند. علاوه بر این، تحلیل مونته-کارلو روی بهره امپدانس انتقالی انجام شده و نتایج در شکل شماره (۷) قسمت (ب) نشان داده شده است که مقدار متوسط 100.3Ω و انحراف از معیار استاندارد 2.25Ω را نشان می‌دهد.

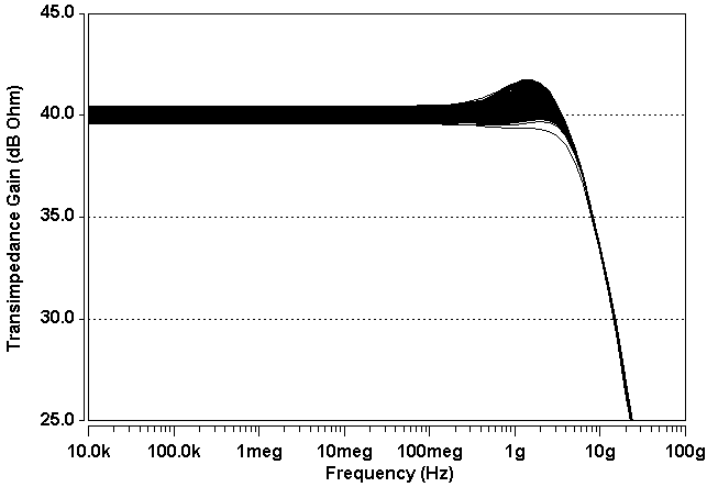
نویز ارجاع داده شده به گره ورودی مدار TIA پیشنهادی نیز شبیه‌سازی شده و نتیجه آن در شکل شماره (۸) نشان داده شده است. جریان نویز ارجاع داده شده به گره ورودی با عدد $36pA/\sqrt{Hz}$ شروع شده و به مقدار $22pA/\sqrt{H}$ در فرکانس 2GHz و $19pA/\sqrt{Hz}$ در فرکانس قطع 3dB- کاهش می‌یابد. مقدار نویز ارجاع داده شده به گره ورودی مدار TIA معادل $25pA/\sqrt{Hz}$ می‌باشد.



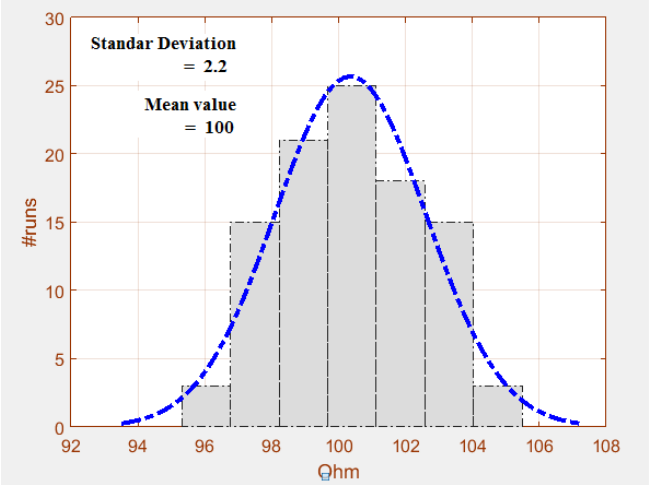
شکل ٦. امپدانس ورودی

علاوه بر این، تساوی (۵) نقش اساسی ترانزیستور M_5 در مقدار مقاومت را نشان می‌دهد. بنابراین، اثر تغییرات عرض ترانزیستو M_5 (W_5) روی مقاومت ورودی بررسی شده که معادله (۵) را مورد بررسی قرار می دهد. با افزایش عرض ترانزیستور M_5، مقاومت ورودی کاهش می‌یابد. جدول (۱) مقادیر مقاومت ورودی بر اساس W_5 را نشان می‌دهد که شکل (۹) هم مربوط به گراف آن می‌باشد.

همچنین، اثر مقاومت R_s بر پهنای باند فرکانس 3dB- بر اساس معادله (۱۶) بررسی شده و نتایج در جدول شماره (۲) خلاصه شده است. با کاهش مقاومت R_s ، پهنای باند فرکانس افزایش می‌یابد.

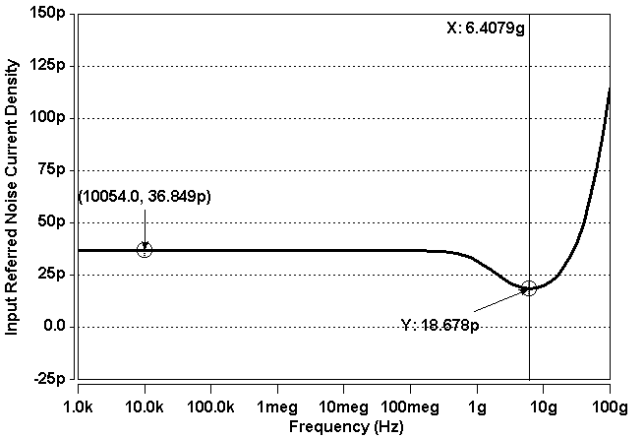


(الف)



(ب)

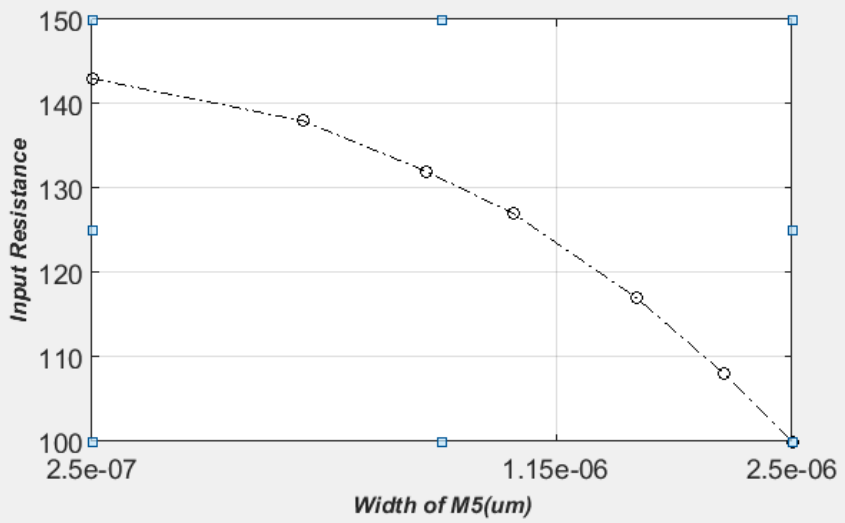
شکل ۷. تحلیل مونته-کارلو بر روی: الف) پاسخ فرکانسی و ب) بهره امپدانس انتقالی



شکل ۸. چگالی جریان نویز ارجاع داده شده به گره ورودی

جدول ۱. تغییرات عرض ترانزیستورM_5 در برابر مقاومت ورودی

W_5	250nm	500nm	750nm	1µm	1.5µm	2µm	2.5µm
R_{in}	143Ω	138Ω	132Ω	127Ω	117Ω	108Ω	100Ω



شکل ۹. تغییرات عرض M_5 در برابر مقاومت ورودی

جدول ۲. مقدار R_S به ازای مقادیر پهنای باند متفاوت

R_S	200Ω	150Ω	100Ω
f_{-3db}	5.28GHz	6.32GHz	7.8GHz

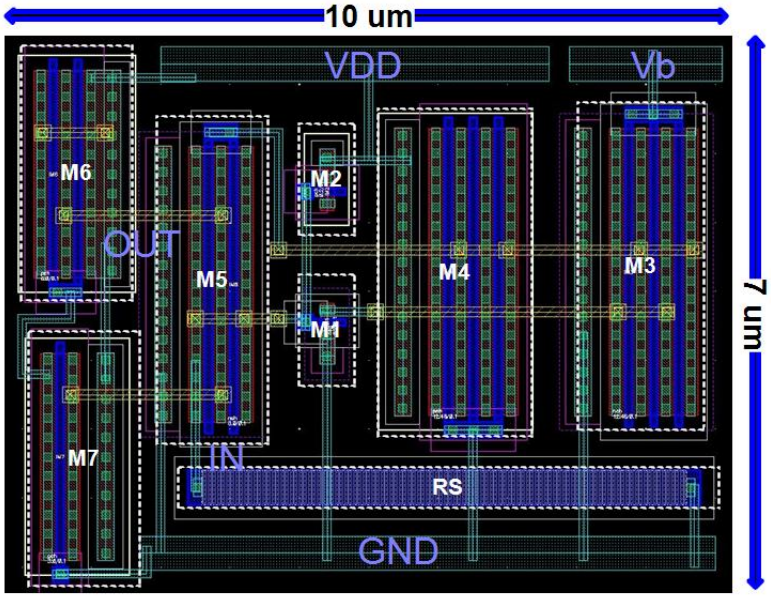
همچنین، شکل شماره (۱۰)، مربوط به Layout ساختار مدار پیشنهادی می‌باشد در حالی که شکل شماره (۱۱) یک مقایسه بین شبیه‌سازی‌های پاسخ فرکانسی و Pre-Layout و Post-Layout را نشان می‌دهد. همان‌طور که می‌توان از این مقایسه استنباط کرد، اثرات پارازیتی در این طراحی، عملکرد مدار طراحی شده را تا مقدار پهنای باند فرکانسی اشاره شده در بالا، آن چنان تحت تاثیر قرار نمی‌دهند.

جدول شماره (۳) نیز شامل طول و عرض هر ترانزیستور می‌باشد.

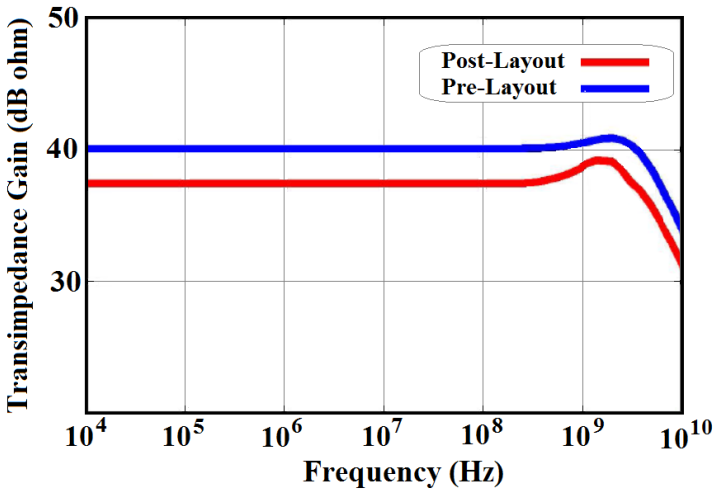
هم چنین، جدول شماره (۴) نیز بیان‌گر عملکرد مدار TIA پیشنهادی بوده و مقایسه آن با کارهای دیگر در این جدول آمده است. از آن جایی که تمرکز این کار بر روی کاهش توان مصرفی می‌باشد، لذا توان مصرفی این کار به مراتب کمتر از کارهای انجام شده ای است که در جدول شماره (۴) آمده است. هر چند، جهت انجام یک مقایسه درست بین کار ارائه شده در این مقاله و دیگر کارهای انجام شده، دو ضریب شایستگی به شرح زیر عنوان شده است:

$$FOM1 = \frac{Gain \times B.W.}{P_{DC}} \left(\frac{dB\Omega.GHz}{mW}\right) \quad (۱۹)$$

$$FOM2 = \frac{Gain \times B.W. \times C_{in}}{P_{DC} \times In.Ref.Noise} \times \frac{1}{1000} \left(\frac{dB\Omega.GHz.fF}{mW.(pA/\sqrt{Hz})}\right) \quad (۲۰)$$



شکل ۱۰. Layout ساختار پیشنهادی



شکل ۱۱. مقایسه شبیه‌سازی‌های Pre-Layout و Post-Layout

جدول شماره ۳. ابعاد ترانزیستورها

$\left(\frac{W}{L}\right)_1$	$\left(\frac{W}{L}\right)_2$	$\left(\frac{W}{L}\right)_3$	$\left(\frac{W}{L}\right)_4$	$\left(\frac{W}{L}\right)_5$	$\left(\frac{W}{L}\right)_6$	$\left(\frac{W}{L}\right)_7$	R_S
2	2	138	138	88	66	33	150Ω

جدول شماره ٤. مقایسه بین مدار پیشنهادی و کارهای انجام شده در فناوری CMOS

	[3]	[4]	[20]	[21]	[22]	[23]	[25]	[26]	**The Proposed TIA**
Year	2013	2016	2013	2016	2015	2018	2012	2017	**2021**
Technology (CMOS)	180 nm	130 nm	180 nm	180 nm	130 nm	90 nm	180 nm	90 nm	**90 nm**
Gain(dBΩ)	46	54	46	58	50.1	41	40	48	**40**
Bandwidth (GHz)	8	11.5	8	8.1	7	3.4	8.69	7	**6.4**
Power Consumption (mW)	31.5	45	34.8	34.8	7.5	1.4	15.33	10	**1.6**
C_{pd} (fF)	250	-	300	300	250	400	-	250	**250**
Supply Voltage (V)	1.8	1.5	1.8	1.8	1.5	1.0	1.8	0.8	**1.2**
Input referred noise(pA/√Hz)	40	6.8	40	15	31.3	13.1	96.4	25.1	**25**
FoM1	11.68	13.80	10.57	13.50	46.76	99.57	22.67	33.60	**160.00**
FoM2	0.07	-	0.08	0.27	0.37	3.04	-	0.33	**1.60**

۵- بحث و نتیجه‌گیری

در این مقاله، یک ساختار تقویت‌کننده امپدانس انتقالی کم‌مصرف ارائه شده است که بر اساس ساختار کسکود تنظیم شده بیان شده است و شبکه فیدبک که یک اینورتر کسکود شده می‌باشد، باعث کاهش مقاومت ورودی و حذف اثر خازن میلر در مدار مرسوم کسکود تنظیم شده، شده است. با این روش، یک تقویت‌کننده امپدانس انتقالی کم‌مصرف پهن‌باند به دست می‌آید. مدار تقویت‌کننده امپدانس انتقالی بر پایه کسکود تنظیم شده تنها 1.6mW توان در پهنای باند فرکانسی 6.4GHz با بهره امپدانس انتقالی 40dBΩ مصرف می‌کند. نتایج شبیه‌سازی نشان می‌دهند که مدار TIA طراحی شده، عملکرد خوبی به عنوان یک مدار تقویت‌کننده امپدانس انتقالی جهت استفاده در سیستم‌های گیرنده نوری از خود نشان می دهد.

مراجع

[1] Fields C., Tsen T., McGuire C., Yoon Y., Zehnder D., et al., “110GHz transimpedance Amplifier in InP-Hbt Technology for 100 Gbitethernrt”, IEEE Microwave and Wireless Components letters, 20, 465-467, 2010.
[2] Wu C., Sovero E., Massey B., “40GHz Transimpedance Amplifier with differential outputsusing InP-InGaAs hetrojunction bipolar transistors, IEEE Journal of Solid-state Ciruits, 38, 1518-1523, 2003.
[3] D. Chen, S. Yeh, X. Shi, M.A. Do, C.C. Boon, W.M. Lim, “Cross-coupled current conveyor based CMOS transimpedance amplifier for broadband data transmission”, IEEE Transactions on Very Large Scale Integeratiobn (VLSI) System, Vol. 21, pp. 1516–1525, 2013.
[4] P. Andre, S. Jacobus, “Design of a high gain and power efficient optical receiver front-end in 0.13μm RF CMOS technology for 10Gbps applications”, Microw. Opt. Technol. Lett., Vol. 58, pp. 1499–1504, 2016.
[5] R.Soltanisarvestani, S. Zohoori, A. Soltanisarvestani, “A RGC-Based, Low-Power, CMOS Transimpedance Amplifier for 10Gb/s Optical Receivers”, International Journal of Electronics, 2019.
[6] Sackinger E., “Broadbadn Circuits for Optical Fiber Communications”, Wiley, 2002.
[7] Yuan F., “ Low Voltage CMOS current mode preamplifier: Analysis and design” IEEE Trans. Circuits Syst. I, Reg. Papers, Vol. 53, No. 1, 26-39, 2007.
[8] Vanisri T., Toumazou C., “Integrated High Frequency low-noise Current Mode Optical Transimpedance Preamplifier: Theory and Practice”, IEEE J. Solid-State Circuits, Vol. 30, No. 6, 677-685, 1995.
[9] Park K., Oh W.S., Choi B., Han J., Park S.M., “A 4channel 12.5Gb/s common-gate transimpedance amplifier array for DVI/HDMI applications”, in proceeding of IEEE international symposium on Circuits and systems in New Orleans, 2192-2195, 2007.
[10] Shahdoost S., Medi A., Saniei N., “A 1.39pA/√Hz transimpedance amplifier for 2.5Gb/s optical communications”, IEEE International Symposium on Circuits and systems, 2889-2892, 2011.
[11] S. Zohoori, M. Dolatshahi, “A CMOS Low-Power Optical Front-End for 5Gbps Applications”, Fiber and Integrated Optics, Vol. 37, No. 1, pp. 37-56, 2018.
[12] S. Zohoori, M. Dolatshahi, M. Pourahmadi, M. Hajisafari, “An Inverter-Based, CMOS, Low-Power Optical Receiver Front-End”, Fiber and Integrated Optics, Vol. 38, No. 1, pp. 1-20, 2019
[13] S. Zohoori, M. Dolatshahi, M. Pourahmadi, M. Hajisafari, “A CMOS, Low-Power current-mirror-based Transimpedance Amplifier for 10Gbps optical communications”, Microelectronics Journal, Vol. 80, pp. 18-27, 2018.
[14] S. Zohoori, T. Shafiei, M. Dolatshahi, “A 274μW, Inductor-less, Active RGC-Based Transimpedance Amplifier Operating at 5Gbps”, 27th Iranian conference on electrical Engineering (ICEE2019), 2019.
[15] Lu. Zh., Yeo K.S., Lim W.M., Do M.A., Boon Ch., “Design of a CMOS Broadband Transimpedance Amplifier with Active Feedback”, IEEE Transactions on very large Scale Integration (VLSI), Vol. 18, No. 3, 2010.

[16] O. V. S. Rao, P. Mandal, "A new Current-mode receiver for high speed electrical/optical link", International Journal of Electronics and Communications, Vol. 65, pp. 107-116, 2011.
[17] Y. Liang, R. Ding, Zh. Zhu, "A 9.1ENOB 200Ms/s Asynchronous SAR ADC with Hybrid Single Ended/Differential DAC in 55-nm CMOS for Image sensing Signals", IEEE Sensors Joutnal, Vol. 18, Issue. 17, 2018.
[18] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, Singapore, 2001.
[19] Sagar Ray, "A 30–75 dBΩ 2.5 GHz 0.13-µm CMOS Receiver Front-End With Large Input Capacitance Tolerance for Short-Range Optical Communication", IEEE Transactions on Circuits and Systems—i: regular papers, vol. 63, no. 9, september 2016.
[20] Chen D, Yeh S, Shi X, Do MA, Boon CC, Lim WM. Cross- coupled current conveyor based CMOS transimpedance amplifier for broadband data transmission. IEEE Trans Very Large Scale Integr VLSI Syst. 2013;21(8):1516- 1525.
[21] M. Rakideh, M. Seifouri, P. Amiri, "A folded cascode-based broadband transimpedance amplifier for optical communication", Microelectronics Journals. Vol. 54, pp. 1–8, 2016.
[22] M. H. Taghavi, L. Belostotski, J.W. Haslett, P. Ahmadi, "10-Gb/s 0.13-µm CMOS inductor less modified-RGC transimpedance amplifier", IEEE Transactions on Circuits and Systems, Vol. 62, pp. 1971–1980, 2015.
[23] S. Zohoori, M. Dolatshahi, "A low- power CMOS transimpedance amplifier in 90- nm technology for 5- Gbps optical communication applications", Int J Circ Theor Appl. 2018;1–14.
[24] R. Y. Chen, Z.Y. Yang, "CMOS transimpedance amplifier for gigabit-per-second optical wireless communications", IEEE Transaction on Circuits and Systems II, Vol. 63, pp. 418–422, 2016.
[25] Huang T, Zhang Q, and Zhang W. A novel transimpedance amplifier for 10Gbit/s optical communication system. IEEE 9th International Conference on ASIC, ASICON, pp. 843–846, 2012.
[26] S. Zohoori, M. Dolatshahi, "An inductor-less, 10Gbps Trans-impedance Amplifier Operating at low supply-voltage", 25th Iranian conference on electrical Engineering (ICEE2017), pp. 145-148, 2017.
[۲۷] مهدی دولتشاهی، سید مهدی میرصانعی، مهرداد امیرخان دهکردی، سورنا ظهوری، "بررسی اضافه کردن یک فیدفوروارد فعال با رفتار سلفی به یک ساختار گیت مشترک به عنوان یک تقویت‌کننده امپدانس انتقالی برای کاربردهای مخابراتی پهن‌باند و کم‌مصرف"، نشریه سامانه های غیر خطی در مهندسی برق، دانشگاه صنعتی سهند، دوره ۶، شماره ۲، صفحه ۳۲-۵۰، ۱۳۹۹.