Sahand University of Technology

DOR: 20.1001.1.23223146.1403.11.2.6.4

Journal of Nonlinear Systems in Electrical Engineering

Vol. 11, No. 2

Autumn and Winter 2024

ISSN: 2322 – 3146

http:// jnsee.sut.ac.ir

A Hybrid Double-Voltage-Gain Nine-Level Inverter with Reduced TSV and Longest Discharge Period

Hossein Mansourizadeh, Majid Hosseinpour*, Ali Seifi

Department of Electrical Engineering, University of Mohaghegh Ardabili, Ardabil, Iran

* Corresponding author email: hoseinpour.majid@uma.ac.ir

Abstract

This paper proposes a new nine-level switched-capacitor inverter topology capable of achieving a voltage gain of two while using a minimal number of components. The structure employs eleven switches and two capacitors to generate boosted output voltage levels with low ripple and reduced semiconductor voltage stress. In the proposed design, the maximum blocking voltage of each switch is limited to 0.5Vmax, and the total standing voltage of the converter is constrained to 4.5Vmax , improving reliability and efficiency. Independent capacitor charging paths and the elimination of auxiliary diodes contribute to soft-charging operation and significantly reduce inrush current, without the need to increase parasitic resistance in the charging loops. Additionally, the capacitors experience high charge levels with short and infrequent continuous discharge intervals. A level-shifted modulation scheme is utilized, in which switching transitions occur only during changes in voltage levels. This approach results in short and non-repetitive longest discharge periods, enabling natural capacitor voltage self-balancing and reduced voltage ripple. The topology also demonstrates good scalability, allowing the voltage gain or number of output levels to be increased through the addition of modular units while maintaining acceptable voltage stress limits. Comparative analysis with conventional inverter structures indicates that the proposed topology offers fewer components, lower voltage stress, reduced cost and size, and robust performance under various loading conditions. The effectiveness of the inverter is validated through simulation and experimental results.

Keywords

Switches-capacitor (SC); voltage boost; soft charging; longest discharge period (LDP); minimum total standing voltage (TSV)

1. Short Introduction

The key research gaps observed in existing seven- and nine-level SCMLI topologies include the absence of fully independent charging paths with proper inrush current control, high total standing voltage in single-source configurations, limited ability to constrain the maximum blocking voltage without adding extra switches, and poor scalability for high-voltage applications. These limitations highlight the necessity of a single-source inverter topology that utilizes a reduced number of components while providing independent charging loops, low MBV and TSV, effective soft-charging characteristics, adequate scalability, and reliable performance under different loading conditions. To address these challenges, this paper introduces a nine-level switched-capacitor inverter capable of providing a voltage gain of two using only eleven switches and two capacitors. In the proposed topology, the capacitor charging loops are completely independent, and the longest discharge period is restricted to just two successive voltage levels without repetition within one fundamental cycle. This operating feature leads to a noticeable reduction in capacitor voltage ripple and enhances overall stability.

2. Proposed Work

This study presents a nine-level switched-capacitor inverter topology that provides a voltage gain of two while employing only eleven power switches and two capacitors. The proposed configuration features completely independent capacitor charging paths, and the longest discharge period is confined to two adjacent voltage levels with no repetition over one fundamental cycle, which considerably lowers capacitor voltage ripple. Moreover, the topology enables effective inrush current mitigation, enhances inherent capacitor voltage self-balancing, and decreases the voltage stress imposed on the semiconductor switches. Owing to these advantages, the proposed inverter is well suited for low- and medium-power applications, including renewable energy source (RES) interfaced systems and uninterruptible power supply (UPS) converters.

The circuit of the proposed nine-level switched-capacitor inverter is illustrated in Fig. 1. As shown, the proposed structure consists of eleven power switches and two capacitors and provides a voltage boosting capability of two (Vmax = 2E). The MBV of all power devices in the proposed topology is limited to 0.5Vmax, while the TSV of the structure is equal to 4.5Vmax.

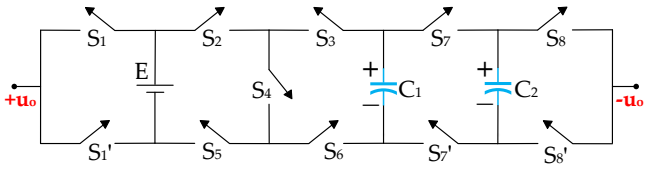


Fig. 1. Circuit configuration of the proposed nine-level topology

3. Conclusion

This work presents and evaluates a nine-level switched-capacitor inverter capable of boosting the output voltage by a factor of two. The proposed configuration employs only eleven switches and two capacitors, resulting in a compact, cost-effective, and efficient structure. Through appropriate arrangement of the charging and discharging paths, inherent capacitor voltage self-balancing is achieved, keeping the voltage ripple within 1–3%. The design restricts the maximum voltage stress across each switch to 0.5Vmax and limits the total standing voltage to 4.5Vmax, representing a notable enhancement in stress reduction compared to conventional solutions. Furthermore, the built-in soft-charging characteristic effectively suppresses inrush currents and confines the capacitor charging current to a maximum of 2Imax. Experimental validations demonstrate accurate nine-level output voltage synthesis and reliable performance under resistive and resistive–inductive loads, as well as during transient operating conditions and modulation index variations.

اینورتر نه‌سطحی دوبرابرکننده ترکیبی با TSV کاهش‌یافته و بیشینه دشارژ پیوسته کوتاه و غیرتکراری

حسین منصوری‌زاده[1]، مجید حسین‌پور[2]، علی سیفی[3]

[1] کارشناس ارشد، مهندسی برق قدرت، دانشگاه محقق اردبیلی، اردبیل

[2] دانشیار مهندسی برق و کامپیوتر، دانشگاه محقق اردبیلی، اردبیل

[3] دکتری، مهندسی برق قدرت، دانشگاه محقق اردبیلی، اردبیل

* **آدرس پست الکترونیکی نویسنده مسئول:** hoseinpour.majid@uma.ac.ir

DOR: 20.1001.1.23223146.1403.11.2.6.4

نشریه سامانه‌های غیرخطی در مهندسی برق

دوره ۱۱ - شماره ۲

پاییز و زمستان ۱۴۰۳

صفحات ۹۲ الی ۱۲۱

ISSN: 2322-3146

http:// jnsee.sut.ac.ir

تاریخ ارسال: ۱۴۰۴/۹/۲۳ **تاریخ بازنگری: ۱۴۰۴/۱۱/۷** **تاریخ پذیرش: ۱۴۰۴/۱۱/۸**

چکیده

در این مقاله یک ساختار نوین برای اینورتر نه‌سطحی مبتنی بر کلیدزنی خازنی با قابلیت افزایش دوبرابری ولتاژ ارائه می‌شود. ساختار پیشنهادی با استفاده از یازده کلید و دو خازن، تولید سطوح افزاینده با ریپل کم و تنش محدود بر عناصر نیمه‌هادی را فراهم می‌سازد؛ به‌گونه‌ای که بیشینه تنش ولتاژ هر کلید به **0.5Vmax** و مجموع ولتاژ مسدودکنندگی مجموعه به **4.5Vmax** محدود می‌شود. تعریف مسیرهای شارژ مستقل، حذف دیودهای جانبی و سطوح شارژ زیاد همراه با تعداد و بازه دشارژ پیوسته کم، بدون نیاز به افزایش مقاومت پارازیتی در حلقه‌های شارژ، منجر به شارژ نرم و کاهش جریان هجومی می‌گردد. همچنین استفاده از مدولاسیون شیفت‌سطحی که در آن تغییر وضعیت کلیدها تنها در نقاط تغییر سطح انجام می‌شود، موجب کوتاه و غیرتکراری شدن دوره دشارژ پیوسته خازن‌ها شده و در نتیجه با تفکیک حلقه‌های شارژ، تعادل خودکار ولتاژ خازن‌ها و کاهش ریپل ولتاژ فراهم می‌شود. ساختار پیشنهادی از نظر توسعه‌پذیری نیز کارآمد بوده و با افزودن واحدهای تکرارشونده، امکان افزایش تعداد سطوح یا بهره ولتاژ فراهم می‌شود؛ درحالی‌که مقدار **MBV** حفظ شده و **TSV** نیز در محدوده کنترل‌شده باقی می‌ماند. مقایسه با ساختارهای مرسوم نشان می‌دهد که این طرح به دلیل تعداد کمتر عناصر، تنش ولتاژ پایین‌تر، هزینه و حجم کمتر، تعادل خودکار ولتاژ خازن‌ها بدون نیاز به حسگر یا کنترل کمکی و عملکرد مناسب تحت شرایط بار مختلف، مزایای قابل‌توجهی دارد. نتایج شبیه‌سازی و آزمایشگاهی نیز صحت عملکرد ساختار پیشنهادی را تأیید می‌کنند.

واژه‌های کلیدی

خازن کلیدزنی شده (***SC***)

افزاینده ولتاژ

شارژ نرم

بیشینه دوره دشارژ پیوسته (***LDP***)

ولتاژ مسدودکنندگی کل (***TSV***)

۱- مقدمه

اینورترهای چندسطحی طی سال‌های اخیر به‌عنوان یکی از ساختارهای کلیدی در سامانه‌های توان پایین و متوسط مطرح شده‌اند، زیرا امکان تولید ولتاژ خروجی با کیفیت بالا، کاهش تنش ولتاژ و جریان روی کلیدهای نیمه‌هادی، افزایش بازدهی و کاهش تلفات کلیدزنی را فراهم می‌کنند [۱]. هم‌زمان با رشد استفاده از سیستم‌های انرژی تجدیدپذیر[۱] (RES) و تجهیزات الکترونیک قدرت مجتمع[۲] (IPEE)، نیاز به مبدل‌هایی که ضمن کار در ولتاژ ورودی پایین، قابلیت تقویت ولتاژ ذاتی و تولید شکل موج با اعوجاج هارمونیکی کل[۳] (THD) محدود را داشته باشند، رو به افزایش است. ساختارهای کلاسیک چندسطحی مانند پل H آبشاری[۴] (CHB)، نقطه خنثی مهارشده[۵] (NPC) و خازن شناور[۶] (FC) اگرچه امکان تولید سطوح ولتاژ متعدد را فراهم می‌کنند، اما یا به منابع DC متعدد نیاز دارند، یا به دلیل وجود المان‌های خازنی متعدد و مسیرهای مشترک شارژ، با چالش‌هایی نظیر پیچیدگی کنترلی، ناپایداری تعادل ولتاژ خازن‌ها و افزایش حجم و هزینه روبه‌رو هستند [۲]. در این شرایط، توجه پژوهشگران به سمت اینورترهای چندسطحی کلیدزنی خازنی[۷] (SCMLIs) جلب شده است؛ ساختارهایی که بدون نیاز به عناصر مغناطیسی حجیم، امکان تقویت ولتاژ یک‌مرحله‌ای را فراهم کرده و با تعداد اندکی از کلیدها می‌توانند سطوح ولتاژ متنوع و با کیفیت تولید کنند [۳]. نسل‌های اولیه اینورترهای چندسطحی کلیدزنی خازنی عمدتاً شامل ساختارهای پنج‌سطحی و هفت‌سطحی بوده‌اند که با هدف کاهش اجزا و دستیابی به بهره ولتاژ ۱/۵ تا حدود ۲ توسعه یافتند. ساختار پنج‌سطحی در [۴] با وجود سادگی و تعداد کم کلیدها، به دلیل وجود مسیرهای شارژ مشترک، ریپل زیاد داشته و از رفتار شارژ نرم پشتیبانی نمی‌کرد. ساختار هفت‌سطحی تقویت‌کننده در [۵] نیز با وجود کاهش ولتاژ مسدودکنندگی کل[۸] (TSV)، به دلیل تداخل حلقه شارژ، سبب ایجاد اسپایک‌های ولتاژی، دینامیک شارژ نامطمئن و اختلال در پایداری توان خروجی می‌شود. از سوی دیگر، عدم استقلال حلقه شارژ خازن‌ها باعث تجمیع ریپل ولتاژ و جریان هجومی شده و راندمان کاهش می‌یابد. در این راستا، یک ساختار هفت سطحی با قابلیت افزایندگی سه برابری و بدون تداخل مسیر شارژ در [۶] ارائه شد. با این حال، نیاز به ده کلید قدرت از ایرادات اصلی آن است. همچنین بیشینه ولتاژ مسدودکنندگی[۹] (MBV) در برخی عناصر به به حداکثر ولتاژ خروجی میرسد و TSV آن زیاد است. درنتیجه کاربرد این نوع ساختارها حتی در ولتاژ کم نیز با چالش‌های جدی روبه‌رو است. در ادامه روند توسعه این ساختارها، طی سال‌های اخیر تمرکز قابل توجهی بر ساختارهای تقویت‌کننده نه‌سطحی صورت گرفته است. دستیابی به بهره ولتاژ حداقل دو برابر تنها با یک منبع DC، شارژ نرم، کاهش بیشینه دوره دشارژ پیوسته[۱۰] (LDP) همراه با کاهش تعداد عناصر، محدودسازی بیشینه ولتاژ مسدودکنندگی (MBV) و کاهش ولتاژ مسدودکنندگی کل (TSV) بوده است [۷].

ساختارهای نه‌سطحی کلیدزنی خازنی مختلف با بهره دو برابر یا چهار برابری در مراجع [۸]- [۲۸] ارائه شده است. هدف از ارائه این نوع اینورترها، حذف طبقات افزاینده اضافی (DC-DC) برای کاربردهای با ولتاژ ورودی کم است. یکی از مهم‌ترین چالش‌های موجود در این زمینه، محدودسازی تنش ولتاژ عناصر به حداکثر $0.5V_{max}$ و کاهش TSV ساختار به محدوده قابل قبول است. حداقل‌سازی تعداد خازن‌های موردنیاز و نیز استفاده از خازن‌هایی با ولتاژ نامی کمتر نیز از اهداف مهم در ارائه یک ساختار مناسب است. کاهش LDP باعث کاهش ریپل ولتاژ و ظرفیت خازن شده و جریان هجومی را محدود می‌کند. در مطالعات اخیر از روش‌های مختلفی نظیر استفاده از واحد سلف محدودساز (L_{ch})، تنظیم بهترین توالی شارژ و دشارژ، استفاده از عناصر مختص مسیر

[1] Renewable Energy Systems
[2] Integrated Power Electronic Equipment
[3] Total Harmonic distortion
[4] Cascaded H-Bridge
[5] Neutral Point Clamped
[6] Fly Capacitor
[7] Switched Capacitor Multilevel Inverters
[8] Total Standing Voltage
[9] Maximum Blocking Voltage
[10] Longest Discharge Period

شارژ با مقاومت پارازیتی بیشتر و حالات کلیدزنی اضافی[1] (RSS) پیشنهاد شده است. همچنین، ساختاری که خازن‌های آن در مسیر شارژ همدیگر نباشند، اثر تداخل ریپل ولتاژ را حذف می‌کند. توسعه‌پذیری نیز یکی از مزایای مهم ساختارهای جدید ارایه شده در این حوزه است. هدف از قابلیت توسعه‌پذیری، ارائه ساختاری است که با افزایش جزئی هزینه و عناصر، بهره ولتاژ و تعداد سطوح را به طور محسوس افزایش دهد، درحالی که MBV و TSV نهایی کاهش یابند. این امر، باعث قابلیت استفاده از ساختار نهایی در کاربرد ولتاژ بالاتر از حد معمول شده و مزیت مهم و متمایزی محسوب می‌شود. درنتیجه، یکی از اهداف عمده، ارائه ساختاری است که به تناسب مناسبی بین تعداد کل عناصر (N_{device})، ضریب بهره، MBV، TSV و LDP برسد. هر کدام از ساختارهای ارائه شده در مراجع [۸]- [۲۸] مزایایی دارند، اما ایرادات اساسی آنها منجر به محدودیت‌های مهمی از حیث هزینه، تلفات و کاربرد می‌شود.

ساختار [۸] با هدف کاهش تعداد عناصر و بهره چهاربرابری با محدودسازی MBV ارائه شده است. اما تداخل حلقه شارژ باعث افزایش ریپل ولتاژ و وجود سه دیود باعث افت ولتاژ هدایتی و کاهش راندمان شده است. در این ساختار، ده کلید و دیود در معرض MBV قرار دارند. ساختار [۹] برای ایجاد بهره چهار برابری و محدودسازی MBV به $0.5V_{max}$ نیاز به ۳۲ تجهیز دارد که علاوه بر تداخل حلقه شارژ، جریان هجومی محدود نشده است. در ساختار [۱۰] برای تولید بهره دو برابری از ۲۶ استفاده شده است که تعداد یازده کلید و دیود در معرض MBV برابر با $0.5V_{max}$ قرار دارند و LDP در چهار سطح متوالی رخ می‌دهد. در ساختار [۱۱] با ضریب بهره دو برابری، مقدار MBV برابر با V_{max} و TSV برابر با $8.5V_{max}$ است که مقادیر زیادی محسوب می‌شوند. ساختار [۱۲] با بهره دو برابری، نیاز به چهار دیود دارد و مقدار MBV برابر با V_{max} بوده و ریپل‌های بزرگ ناشی از تکرار LDP در یک دوره تناوب (N_{LDP}) زیاد است. ساختار [۱۳] برای تولید بهره چهاربرابری نیاز به ۲۶ تجهیز دارد که نه کلید و دیود آن در معرض MBV قرار دارند. در این ساختار جریان هجومی محدود نشده و خازن‌ها در مسیر شارژ یکدیگر قرار دارند. ساختار [۱۴] برای تولید بهره چهار برابری و محدودسازی TSV به $5.5V_{max}$، از عناصر بسیار زیادی بهره گرفته شده است. در [۱۵] برای ایجاد بهره چهار برابری و کاهش تعداد عناصر، MBV برابر با V_{max} و TSV برابر با $9V_{max}$ است که مقادیر زیادی محسوب می‌شوند. در ساختار [۱۶] با وجود بهره دو برابری و کاهش TSV به $0.5V_{max}$، تعداد نه کلید و دیود در معرض MBV قرار دارند که تعداد زیادی محسوب می‌شود. این ساختار به سه خازن نیاز دارد و جریان هجومی خازن‌های آن محدود نشده است. در ساختار [۱۷] با وجود استفاده از ۲۲ تجهیز و قابلیت افزایندگی چهاربرابری، MBV برابر با V_{max} بوده و TSV مقدار $6.75V_{max}$ حاصل شده است. جریان هجومی در این ساختار محدود نشده و تداخل ریپل ولتاژ نیز وجود دارد. در [۱۸] در اینورتری با بهره چهاربرابری، جریان هجومی به سه برابر حداکثر جریان بار محدود شده است اما MBV کلید و دیودها برابر با V_{max} بوده و TSV برابر با $6.5V_{max}$ است. همچنین نیاز به سه دیود در [۱۸] باعث افت سطح ولتاژ خازن‌ها شده و LDP در سه سطح متوالی رخ می‌دهد. در [۱۹] با وجود استقلال حلقه‌های شارژ و بهره چهار برابری، تعداد ۳۲ تجهیز نیاز است و تعداد تکرار LDP زیاد است. در [۲۰] با وجود بهره چهار برابری و کاهش عناصر، MBV برابر با V_{max} بوده و TSV مقدار $7V_{max}$ دارد. همچنین وجود سه دیود در مسیر شارژ و عدم محدودسازی جریان هجومی از عمده ایرادات آن است. در [۲۱] برای ایجاد بهره دو برابری و کاهش تجهیزات به ۲۰ عنصر، MBV برابر با V_{max} بوده و TSV مقدار $6.5V_{max}$ دارد. همچنین نیاز به خازنی با ولتاژ نامی برابر با V_{max} باعث افزایش محسوس هزینه آن شده است. در ساختار [۲۲] با وجود بهره چهار برابری، مقدار MBV محدود نشده و برابر با V_{max} بوده و TSV برابر با $7.5V_{max}$ است. ساختار [۲۳] با وجود بهره چهاربرابری، تعداد ۲۸ تجهیز دارد. این ساختار به سه خازن نیاز داشته و LDP در سه سطح متوالی رخ می‌دهد و جریان هجومی محدود نشده است. در [۲۴] با وجود بهره دو برابر و محدودسازی جریان هجومی و کاهش تعداد عناصر و استقلال حلقه شارژ، MBV برابر با V_{max} است. همچنین مجموع ولتاژ نامی خازن‌ها[2] (TCV) در این ساختار برابر با

[1] Redundant Switching States
[2] Total Capacitors Voltage

$1.75V_{max}$ بوده و وجود چهار دیود در ساختار باعث افت سطح ولتاژ خازن‌ها شده است. در [۲۵] با وجود بهره دو برابری و استقلال حلقه شارژ، تعداد ۲۶ تجهیز نیاز است و جریان هجومی محدود نشده است. در [۲۶] با بهره دو برابری، با وجود کاهش عناصر و محدودسازی جریان شارژ، MBV برابر با V_{max} و TSV برابر با $6.5V_{max}$ بوده و ساختار به سلف محدودساز شارژ نیاز دارد. در ساختار [۲۷] با وجود کاهش تعداد عناصر و بهره چهاربرابری، MBV برابر با V_{max} بوده و TSV مقدار $8.75V_{max}$ دارد و TCV برابر با $1.75V_{max}$ است که مقادیر زیادی محسوب می‌شوند. در [۲۸] با وجود عدم نیاز به خازنی با ولتاژ نامی زیاد و بهره چهار برابری، تعداد ۳۱ تجهیز نیاز است. در این ساختار LDP در سه سطح متوالی رخ می‌دهد و جریان هجومی محدود نشده است.

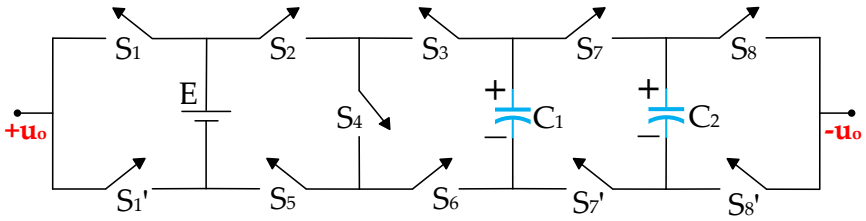
با توجه به بررسی جامع انجام‌شده بر ساختارهای پنج، هفت و نه‌سطحی مبتنی بر کلیدزنی خازنی، خلأ پژوهشی اصلی را می‌توان در چهار محور خلاصه کرد: نبود حلقه‌های شارژ مستقل با قابلیت حذف جریان هجومی، زیاد بودن TSV در ساختارهای تک‌منبعی، عدم امکان محدودسازی MBV بدون افزایش تعداد کلیدها و نبود قابلیت توسعه‌پذیری مناسب با هدف استفاده در کاربردهای با ولتاژ بالاتر. با توجه به چالش‌های موجود، نیاز به ساختاری تک‌منبعی با تعداد کم ادوات، دارای مسیرهای شارژ مستقل، MBV و TSV پایین، قابلیت توسعه پذیری مناسب، رفتار شارژ نرم و عملکرد پایدار در بارهای مختلف بیش از پیش احساس می‌شود. در این مقاله، یک اینورتر نه‌سطحی کلیدزنی خازنی ارائه می‌شود که با تنها یازده کلید و دو خازن، بهره دوبرابری ایجاد می‌کند. طراحی حلقه‌های شارژ ساختار پیشنهادی کاملاً مستقل بوده و با محدودسازی LDP به صرفا دو سطح متوالی و بدون تکرار الگوی LDP در یک دوره تناوب اصلی، ریپل خازن‌ها کاهش چشمگیری یافته است. این معماری موجب محدودسازی جریان هجومی، بهبود تعادل ولتاژ خازن و کاهش تنش الکتریکی روی کلیدها شده است. تنش ولتاژ هر کلید به حدود $0.5V_{max}$ محدود شده که نسبت به اکثر ساختارهای مشابه، به‌صورت محسوسی کمتر است. همچنین مقدار TSV حدود $4.5V_{max}$ در میان ساختارهای هم‌رده کمترین مقدار گزارش‌شده به شمار می‌رود. نبود مسیرهای شارژ مشترک موجب بهبود پایداری، کاهش افت ولتاژ و افزایش راندمان شده است. این ویژگی‌ها ساختار پیشنهادی را برای کاربردهایی مانند RES و منابع تغذیه بدون وقفه[1] (UPS) با زمینه مبدل‌های توان پایین و متوسط بسیار مناسب می‌سازد.

ساختار ادامه مقاله به‌صورت زیر سامان‌دهی شده است: در بخش دوم، ساختار نه‌سطحی پیشنهادی همراه با نحوه عملکرد، نواحی کلیدزنی و روش مدولاسیون، به‌همراه نسخه گسترش‌یافته آن تشریح می‌شود. در بخش سوم، فرآیند تعادل خودکار ولتاژ خازن‌ها، نحوه شارژ و دشارژ و تحلیل عملکرد شارژ نرم در ساختار بررسی می‌گردد. بخش چهارم به محاسبه انواع تلفات مؤلفه‌ها و ارزیابی راندمان اختصاص دارد. در بخش پنجم، ساختار پیشنهادی با سایر ساختارهای نه‌سطحی موجود از نظر تعداد المان‌ها، شاخص‌های عملکرد و کیفیت ولتاژ خروجی مقایسه می‌شود. سپس بخش ششم نتایج شبیه‌سازی و بررسی عملی رفتار مدار را ارائه می‌کند و در نهایت، بخش هفتم به نتیجه‌گیری و جمع‌بندی نکات اصلی مقاله می‌پردازد.

۲- شرح ساختار پیشنهادی

مدار اینورتر نه‌سطحی کلیدزنی خازنی پیشنهادی در شکل (۱) قابل مشاهده است. مطابق با این شکل، ساختار پیشنهادی شامل یازده کلید و دو خازن است و قابلیت افزایندگی دو برابری دارد ($V_{max} = 2E$). بیشینه تنش ولتاژ (MBV) عناصر ساختار پیشنهادی به $0.5V_{max}$ محدود شده است و ولتاژ مسدودکنندگی کل (TSV) ساختار برابر با $4.5V_{max}$ است که قابلیت عملکرد در ولتاژ بالاتر از ساختارهای معمول را با هزینه کم ادوات فراهم می‌کند. در شکل (۱) ولتاژ نامی خازن C_1 برابر با $0.5V_{max}$ بوده و ولتاژ نامی خازن C_2 برابر با $0.25V_{max}$ است. معمولا MBV بر حسب نسبتی از بیشینه ولتاژ خروجی (V_{max}) گزارش می‌شود تا معیاری برای مقایسه بین اینورترهای چندسطحی مختلف (بهره و تعداد سطوح متفاوت) در ولتاژ خروجی یکسان باشد.

[1] Uninterruptible Power Supply



شکل ۱: مدار ساختار ۹ سطحی پیشنهادی

۲-۱- تحلیل نواحی کلیدزنی

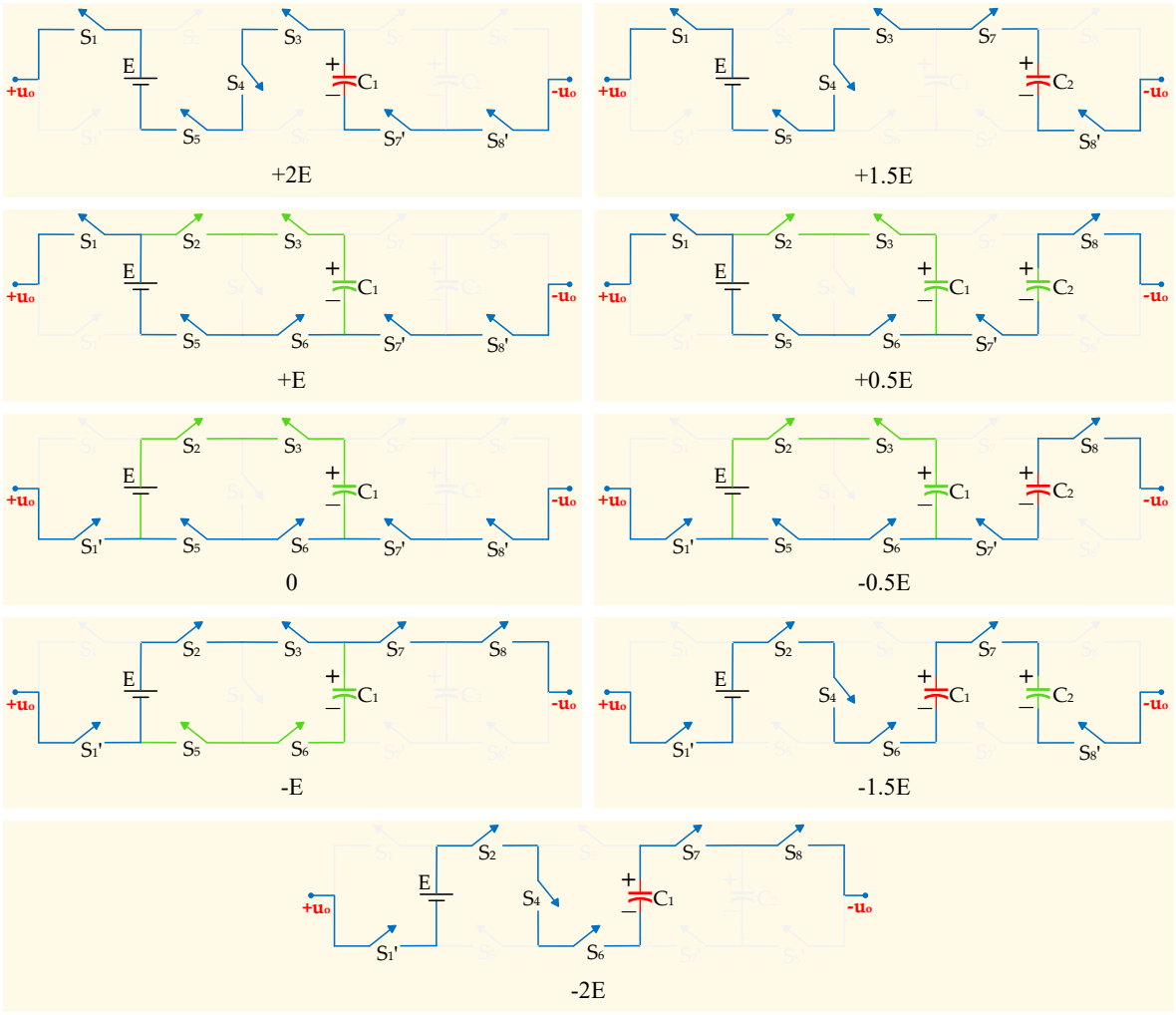
منطق کلیدزنی عناصر و الگوی شارژ و دشارژ هر خازن ساختار پیشنهادی در نواحی کلیدزنی مختلف در جدول (۱) گزارش شده است. برای تولید سیگنال‌های کنترلی درایور کلیدها به هشت سیگنال کنترلی منفرد نیاز است. مطابق با جدول (۱)، دشارژ طولانی در طول یک دوره تناوب کامل وجود ندارد که این مورد باعث کاهش ریپل ولتاژ و افزایش راندمان ساختار پیشنهادی می‌شود. ترکیب کلیدزنی به‌گونه‌ای انتخاب شده که هیچ‌یک از خازن‌ها در یک دوره تناوب در معرض دشارژ ممتد قرار نگیرند. دو سطح متوالی که موجب LDP حداقلی می‌شوند به‌صورت مشخص در جدول دیده می‌شود و همین مسئله علت اصلی کاهش ریپل ولتاژ خازن‌ها است. مسیرهای شارژ و دشارژ C_1 و C_2 کاملاً مجزا بوده و در سطوح پایین و بالا، مسیرهای مستقل جریان ایجاد می‌شود که این قابلیت در ساختارهای مشابه وجود ندارد.

جدول ۱: نواحی کلیدزنی ساختار ۹ سطحی

سطح	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	C_1	C_2	ولتاژ خروجی اینورتر
+2E	1	0	1	1	1	0	0	0	D	-	$+V_{C1}+E$
+1.5E	1	0	1	1	1	0	1	0	-	D	$+V_{C2}+E$
+2E	1	1	1	0	1	1	0	0	C	-	+E
0.5E	1	1	1	0	1	1	0	1	C	C	$-V_{C2}+E$
0	0	1	1	0	1	1	0	0	C	-	0
-0.5E	0	1	1	0	1	1	0	1	C	D	$-V_{C2}$
-E	0	1	1	1	1	1	0	0	C	-	-E
-1.5E	0	1	0	1	0	1	1	0	D	C	$+V_{C1}-E-V_{C2}$
-2E	0	1	0	1	0	1	1	1	D	-	$-E-V_{C2}$

حالات هدایتی مختلف عناصر ساختار پیشنهادی در طول تولید نه سطح ولتاژ در یک دوره تناوب اصلی در شکل (۲) قابل مشاهده است. در این شکل حالت شارژ یا دشارژ هر خازن و روشن یا خاموش بودن هر کلید به ازای هر سطح ولتاژ خروجی مشخص شده است. مطابق با شکل (۲) در طول یک دوره تناوب اصلی، دشارژ طولانی برای هیچکدام از دو خازن رخ نمی‌دهد و فرایند شارژ به طور متناوب انجام می‌شود. عدم وجود دیود در ساختار و شارژهای متوالی، باعث افت ولتاژ ناچیز در ولتاژ خازن‌ها شده و LDP کم نیز باعث شارژ نرم و ریپل ولتاژ کم خازن‌ها و راندمان مناسب اینورتر می‌شود. برای تحلیل تنش ولتاژ روی کلیدها، از روش آنالیز سطح به سطح استفاده شده است. با تحلیل سطح‌به‌سطح و بررسی حالات هدایتی عناصر (مطابق شکل (۲)) بیشینه ولتاژ معکوس و تنش‌های گذرا روی هر کلید استخراج و مقایسه شده است. نتایج نشان می‌دهد تنش ولتاژ تمامی عناصر ساختار در محدوده 0 تا حداکثر $0.5V_{max}$ قرار می‌گیرند. در ساختار پیشنهادی، نحوه آرایش کلیدها و موقعیت خازن‌ها به‌گونه‌ای تنظیم شده که در هر سطح ولتاژ، مسیر جریان بار از یک حلقه مشخص عبور می‌کند و مسیرهای شارژ و دشارژ کاملاً از یکدیگر تفکیک شده‌اند. این تفکیک سبب می‌شود ریپل ولتاژ خازن‌ها به صورت مستقل کنترل شود و هیچ‌گونه تداخل میان شارژ C_1 و C_2 رخ ندهد؛ موضوعی که یکی از مهم‌ترین نقاط ضعف برای ساختارهای مشابه محسوب می‌شود. در سطوحی که خازن‌ها شارژ می‌شوند، جریان به‌تدریج از خازن‌ها عبور کرده و الگوی شارژ نرم به دلیل حضور مقاومت‌های پارازیتی حلقه شارژ و محدود بودن LDP موجب کاهش شدید جریان

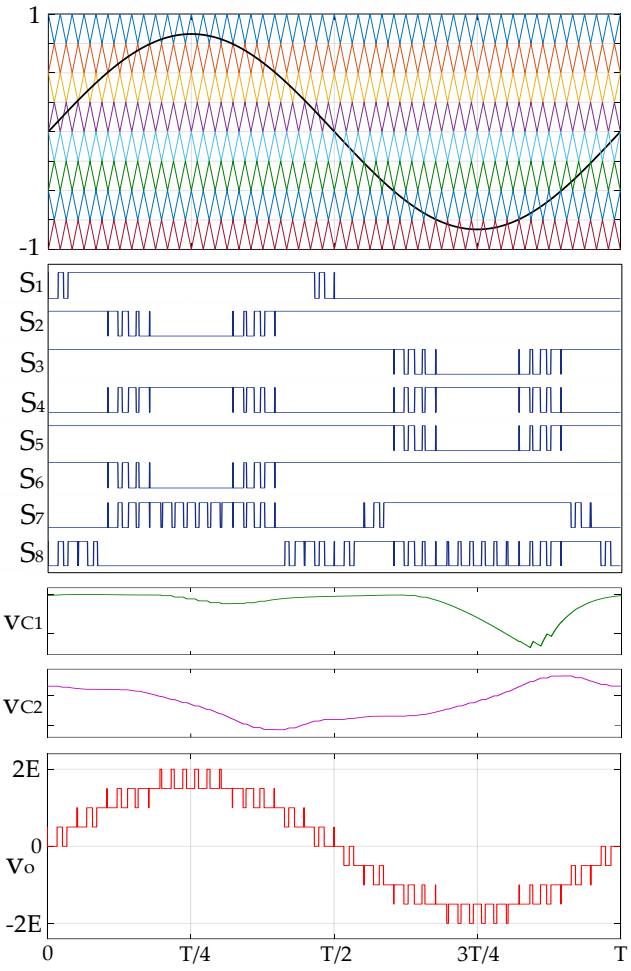
هجومی می‌شود. افزون بر این، عدم وجود دیود در مسیرهای شارژ باعث می‌شود افت ولتاژ لحظه‌ای ایجاد نشود و خازن‌ها شارژ کامل‌تری داشته باشند. این خصوصیات، باعث کاهش ریپل ولتاژ شده و راندمان را افزایش می‌دهد و نیز امکان تولید سطوح با قابلیت افزایندگی ولتاژ با کمترین تنش جریان را فراهم می‌سازد.



شکل ۲: حالات هدایتی مختلف ادوات ساختار پیشنهادی برای تولید سطوح در یک دوره تناوب مؤلفه اصلی

۲-۲- تکنیک مدولاسیون شیفت سطحی

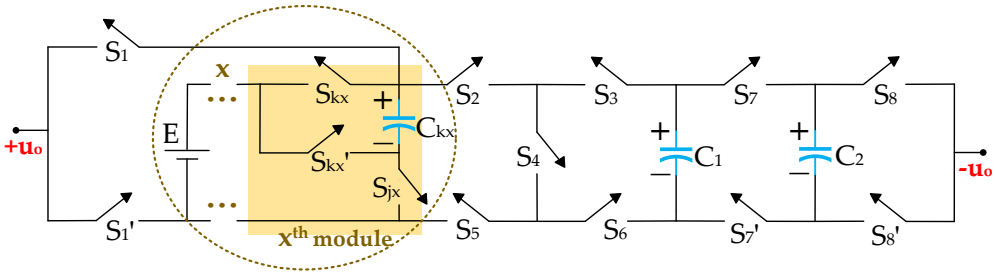
در ساختار پیشنهادی برای تولید سیگنال‌های کنترلی درایور کلیدها از روش مدولاسیون شیفت سطحی استفاده شده است. ساختار پیشنهادی نیاز به هشت سیگنال کنترلی منفرد دارد که با سیگنال مرجع مقایسه شده و مطابق با شکل (۳)، فرمان پالس موردنیاز هر کدام از کلیدها تولید می‌شود. در شکل (۳) ریپل ولتاژ خازن‌ها با اعمال مدولاسیون شیفت سطحی قابل مشاهده است. بیشینه ریپل ولتاژ خازن‌ها در هر دوره تناوب، تنها یکبار رخ می‌دهد که به مفهوم وجود صرفا یک LDP برای هر خازن در یک دوره تناوب اصلی است. روش مدولاسیون شیفت سطحی استفاده شده در این مقاله با تغییر وضعیت کلیدزنی تنها در نقاط مرزی مشخص (نقاط تغییر سطوح)، کنترل مستقیم LDP را فراهم می‌کند و زمان‌های شارژ و دشارژ را با الگوی ساختاری اینورتر هماهنگ می‌سازد. این روش باعث می‌شود جریان شارژ خازن‌ها تنها یک بار در هر دوره رخ دهد و حداقل ریپل ولتاژ ممکن حاصل شود.



شکل ۳: روش مدولاسیون شیفت سطحی برای ساختار ۹ سطحی پیشنهادی

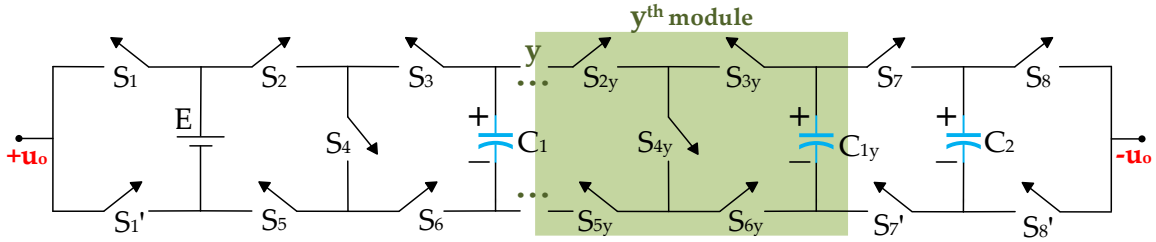
۲-۳- توسعه ساختار پیشنهادی

ساختار پایه طوری طراحی شده است که امکان توسعه‌پذیری ماژولار از طریق تکرار واحدهای افزاینده فراهم باشد. انتخاب روش توسعه براساس نیاز کاربردی انجام می‌شود. در روش اول گسترش ساختار (شکل ۴)، هر مرحله گسترش با افزودن سه کلید و یک خازن پیاده‌سازی می‌شود، به‌طوری‌که با هر مرحله هم تعداد سطوح و هم ضریب افزایندگی ولتاژ دو برابر می‌شوند. این روش امکان دستیابی به بهره‌های بالا را در حالی فراهم می‌آورد که مزایای اصلی ساختار پایه حفظ می‌شود. در این نسخه گسترش‌یافته، بیشینه تنش ولتاژ هر کلید (MBV) در $0.5V_{max}$ محدود نگه داشته شده و مجموع ولتاژ مسدودکنندگی (TSV) تنها افزایش جزئی دارد. علاوه بر این، محدود بودن LDP همراه با حذف دیودهای جانبی و توالی مناسب کلیدزنی، تعادل خودکار خازن‌ها، ریپل ولتاژ پایین و کاهش افت ولتاژ را تضمین می‌کند که نتیجه آن شارژ نرم و کاهش جریان هجومی است. این ویژگی‌ها روش اول گسترش ساختار را برای کاربردهایی که هم به سطوح و بهره بیشتر و هم به ملاحظات اقتصادی و دوام تجهیز نیاز دارند، مناسب می‌سازد.



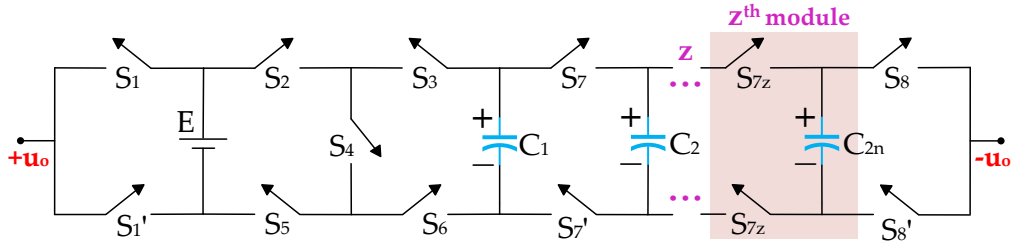
شکل ٤: روش اول گسترش ساختار پیشنهادی

روش دوم گسترش ساختار پایه پیشنهادی در شکل (۵) قابل مشاهده است. ساختار گسترش‌یافته با روش دوم با افزودن واحدهای تکرارشونده شامل پنج کلید و یک خازن در هر مرحله گسترش می‌یابد و این روند قابلیت مدل‌سازی ریاضی دقیقی دارد. تعداد سطوح ولتاژ خروجی با y مرحله گسترش برابر با $N_L = 9 + 4y$ و بهره ولتاژ برابر $B = 2 + y$ است. بیشینه تنش ولتاژ هر کلید نیز طبق رابطه $MBV = 1/(2 + y)$ کاهش می‌یابد، به‌طوری‌که با افزایش تعداد مراحل گسترش (y)، مقدار MBV کلیدها با شیب قابل‌توجهی کوچک‌تر شده و مقدار TSV نیز تقریبا ثابت می‌ماند. این امر نشان‌دهنده‌ی پایداری الکتریکی و مدیریت تنش ولتاژ در نسخه‌های گسترش‌یافته است. در اولین مرحله گسترش، ضریب افزایندگی از ۲ به ۳ افزایش یافته و تعداد سطوح ولتاژ خروجی از ۹ به ۱۳ سطح می‌رسد؛ هم‌زمان مقدار MBV به $0.33V_{max}$ کاهش یافته و TSV در مقدار $4.66V_{max}$ تثبیت می‌شود. ترکیب یک مرحله گسترش با روش اول و یک مرحله گسترش با روش دوم افزودن ۸ کلید و ۲ خازن انجام می‌شود. در این شرایط، بهره اینورتر از ۲ به ۶ افزایش یافته و تعداد سطوح به ۲۵ سطح می‌رسد و MBV عناصر ساختار به $0.33V_{max}$ محدود می‌شود.



شکل ۵: روش دوم گسترش ساختار پیشنهادی

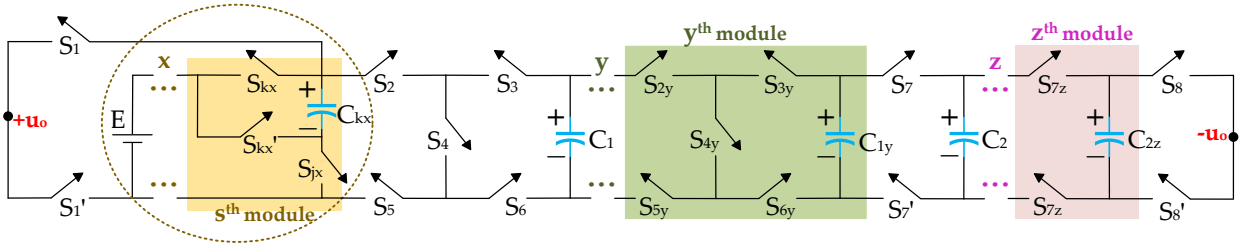
روش سوم گسترش ساختار پایه پیشنهادی که در شکل (۶) نمایش داده شده، با هدف افزایش زیاد تعداد سطوح ولتاژ خروجی در کنار حداقل افزایش در تعداد ادوات طراحی شده است. در این روش، هر مرحله توسعه تنها شامل افزودن دو کلید و یک خازن است و به‌این‌ترتیب با z مرحله گسترش، تعداد کلیدها و خازن‌ها به‌صورت 11+2z و 2+z افزایش می‌یابد. مطابق روابط تحلیلی جدول (۲)، تعداد سطوح ولتاژ خروجی طبق رابطه $2^{(z+3)}+1$ رشد کرده و با هر مرحله تقریباً دو برابر می‌شود، در حالی‌که بهره ولتاژ ثابت و برابر ۲ باقی می‌ماند. از نظر تنش الکتریکی، بیشینه ولتاژ مسدودکنندگی هر کلید همچنان برابر $0.5V_{max}$ حفظ می‌شود و مقدار TSV نیز با وجود افزایش قابل توجه تعداد سطوح، در محدوده قابل قبول (برای مثال در یک مرحله توسعه در حدود $5V_{max}$) باقی می‌ماند. نتیجه آن است که این روش بدون افزایش در بهره ولتاژ، امکان دستیابی به تعداد سطوح بالا، شکل‌موج خروجی یکنواخت‌تر، کاهش قابل توجه THD و کاهش حجم فیلتر خروجی اینورتر را فراهم می‌کند؛ درحالی‌که سادگی توسعه، هزینه پایین و حفظ ویژگی‌های ذاتی ساختار پایه، روش سوم گسترش را به گزینه‌ای مناسب برای کاربردهای ولتاژ کم تا متوسط و سیستم‌های نیازمند کیفیت توان بالا تبدیل می‌سازد.



شکل ۶: روش سوم گسترش ساختار پیشنهادی

ساختار گسترش‌یافته ترکیبی، نمایش‌داده‌شده در شکل (۷)، انعطاف‌پذیرترین نسخه توسعه‌ای ساختار پیشنهادی است و امکان ترکیب هم‌زمان مزایای گسترش روش‌های اول، دوم و سوم را فراهم می‌کند. در این روش، مراحل توسعه بر اساس سه پارامتر x، y

و z تعیین می‌شوند و تعداد کلیدها و خازن‌ها مطابق جدول (۲) برابر 11+3x+5y+2z و 2+x+y+z خواهد بود. تعداد سطوح ولتاژ خروجی (N_L) طبق رابطه $2^{(x+z+2)}(y+2)+1$ و بهره ولتاژ طبق رابطه $2^x(y+2)$ قابل تنظیم است. مقدار MBV همان مقدار روش گسترش دوم، یعنی $1/(2+y)$ باقی می‌ماند؛ بدین معنا که کنترل تنش کلیدها تنها به پارامتر y وابسته است و افزایش x یا z بر آن اثر نمی‌گذارد. این انعطاف‌پذیری امکان دستیابی هم‌زمان به بهره بالاتر، تعداد سطوح بیشتر یا تنش کمتر را فراهم کرده و در عین حال ویژگی‌های کلیدی ساختار پایه مانند مسیرهای شارژ مستقل، شارژ نرم خازن‌ها و LDP پایین حفظ می‌شود. بدین ترتیب، نسخه ترکیبی گزینه‌ای مناسب برای کاربردهای قابل توسعه، ساختارهای سه‌فاز و سامانه‌های ولتاژ متوسط با نیاز به سفارشی‌سازی عملکرد است.



شکل ۷: ساختار گسترش‌یافته ترکیبی

مقادیر کلیدی هر یک از انواع گسترش در جدول (۲) ارائه شده و نشان می‌دهد که ساختار پیشنهادی در تمام نسخه‌ها، از توسعه برای افزایش بهره (روش گسترش اول)، کاهش تنش ولتاژ (روش گسترش دوم)، افزایش تعداد سطوح با ادوات کم (روش گسترش سوم) و نسخه ترکیبی قابل‌تنظیم، قابلیت مقیاس‌پذیری هدف‌محور دارد. این نتایج بیان می‌کند که برای کاربردهای ولتاژ کم تا متوسط، می‌توان با انتخاب مناسب پارامترهای توسعه، به بهره بالا دست یافت در حالی‌که MBV عناصر در مقدار مطلوب باقی مانده و TSV نیز افزایش کنترل‌شده‌ای دارد. بنابراین، نسخه‌های توسعه‌یافته نه‌تنها در دستیابی به سطوح ولتاژ بالاتر از نظر عملیاتی و اقتصادی کارآمد هستند؛ زیرا محدود ماندن تنش ولتاژ و حفظ سادگی ساختار، هزینه و پیچیدگی اینورتر را در محدوده قابل‌قبول نگه می‌دارد.

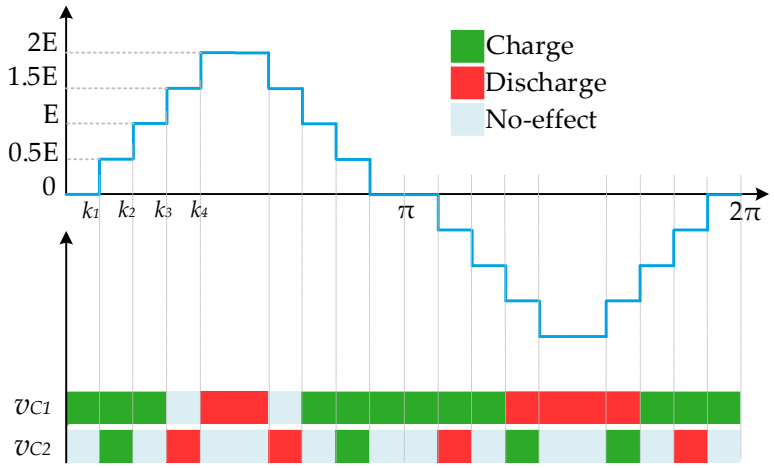
جدول ۲: پارامترهای ساختارهای گسترش‌یافته پیشنهادی

پارامتر	توسعه نوع-۱	توسعه نوع-۲	توسعه نوع-۳	توسعه ترکیبی
مرحله گسترش	x	y	z	(x, y, z)
تعداد منابع ولتاژ	1	1	1	1
تعداد کلیدها و درایورها ($N_{sw}=N_{dr}$)	11+3x	11+5y	11+2z	11+3x+5y+2z
تعداد دیودها (N_d)	0	0	0	0
تعداد خازن‌ها (N_C)	2+x	2+y	2+z	2+x+y+z
تعداد سطوح (N_L)	$2^{(x+3)}+1$	9+4y	$2^{(z+3)}+1$	$2^{(x+z+2)}(y+2)+1$
بهره ولتاژ (B)	$2^{(x+1)}$	2+y	2	$2^x(y+2)$
بیشینه ولتاژ مسدودکنندگی (MBV/B)	1/2	1/(2+y)	1/2	1/(2+y)

۳- تعادل خودکار ولتاژ و تنش جریان خازن‌ها

در محاسبات ظرفیت خازن‌ها، بدترین شرایط بر اساس ترکیب بار، دامنه جریان و الگوی مدولاسیون لحاظ شده است. محاسبات سطح‌به‌سطح شارژ و دشارژ انجام شده تا مقدار ظرفیت موردنیاز خازن‌ها برای حفظ ریپل کمتر از ۱۰ درصد تضمین شود. نتیجه آن

است که ظرفیت‌های انتخاب‌شده برای C_1 و C_2 در نمونه آزمایشگاهی، پایداری ولتاژ و حفظ تعادل خودکار را در بدترین شرایط عملی تضمین می‌کنند. در شکل (۸) الگوی شارژ خازن‌های ساختار پیشنهادی قابل مشاهده است. الگوی شارژ در این شکل بر حسب مدولاسیون پلکانی است که به عنوان حالت پایه (بدترین حالت) برای محاسبه ظرفیت خازن‌ها در نظر گرفته می‌شود. نقاط مشخص شده بر روی محور زمان (k_1-k_4) در شکل (۸) بیانگر نقاط زمانی در لحظات تغییر سطوح است که بر اساس نقاط تلاقی سیگنال مدولاسیون با سطوح افقی ولتاژ خروجی اینورتر مشخص می‌شود. مطابق این شکل، بیشینه دوره دشارژ پیوسته (LDP) خازن C_1 در دو سطح متوالی 1.5E- و 2E- بوده و سپس شارژ می‌شود. همچنین LDP خازن C_2 که ولتاژ نامی برابر با نیم‌گام (0.5E) دارد تنها در سطح 1.5E است، درحالی که در سطح 0.5E شارژ می‌شود و درنتیجه، ریپل ولتاژ آن محدود است.



شکل ۸: الگوی شارژ خازن‌های ساختار ۹ سطحی پیشنهادی

۳-۱- تعادل خودکار ولتاژ خازن C_2

با در نظر گرفتن مدولاسیون نردبانی در شکل (۹)، جریان بار Z_L در سطوح مثبت شامل 0.5E+ و 1.5E+ و در سطوح منفی شامل 0.5E- و 1.5E- طبق معادله (۱) بیان می‌شود. در این رابطه، $i(\omega t)$ جریان بار بر حسب زمان، ω فرکانس زاویه‌ای و k_1 تا k_4 نقاط زمانی تغییر سطح ولتاژ خروجی هستند.

$$W_{Cu}=\rho_{Cu}L\left(\pi r_{out}^{\,2}-\pi r_{in}^{\,2}\right)\left|i(\omega t)\right|=\begin{cases}\left(E-V_{C_2}\right)/Z_L, & k_1\le\omega t\le k_2\\ \left(2E-V_{C_2}\right)/Z_L, & k_3\le\omega t\le k_4\\ \left(-V_{C_2}\right)/Z_L, & \pi+k_1\le\omega t\le\pi+k_2\\ \left(-E-V_{C_2}\right)/Z_L, & \pi+k_3\le\omega t\le\pi+k_4\end{cases}\qquad(۱)$$

مجموع بازه‌های دشارژ خازن C_2 در یک دوره تناوب اصلی در (۲) محاسبه شده است. در این رابطه به علت تقارن نمودار و دشارژ خازن در دو بازه زمانی 0 تا π/2 و π/2 تا π، مقدار دشارژ در بازه زمانی 0 تا π محاسبه شده و در دو ضرب شده است. در نتیجه مقدار کل دشارژ خازن C_2 در یک دوره تناوب خروجی طبق (۲) قابل بیان است که در آن f_o فرکانس ولتاژ خروجی است.

$$\Delta Q_{C_2}(dis)=\frac{1}{\pi f_o}\left(\int_{k_3}^{k_4} i(\omega t)\,d\omega t+\int_{\pi+k_1}^{\pi+k_2} i(\omega t)\,d\omega t\right)=\frac{1}{\pi f_o}\left(\frac{2E-V_{C_2}}{Z_L}(k_4-k_3)+\frac{V_{C_2}}{Z_L}(k_2-k_1)\right)\qquad(۲)$$

مشابه با (۲)، مجموع بازه‌های شارژ خازن C_2 در طول دوره تناوب خروجی طبق (۳) قابل بیان است. مشابه (۲)، در (۳) نیز به دلیل تقارن موجود، محاسبات در دو بازه زمانی 0 تا π/2 و π/2 تا π انجام شده و نهایتا حاصل در دو ضرب شده است.

$$\Delta Q_{C_2}(ch)=\frac{1}{\pi f_o}\left(\int_{k_1}^{k_2} i(\omega t)d\omega t+\int_{\pi+k_3}^{\pi+k_4} i(\omega t)d\omega t\right)=\frac{1}{\pi f_o}\left(\frac{E-V_{C_2}}{Z_L}(k_2-k_1)+\frac{E+V_{C_2}}{Z_L}(k_4-k_3)\right) \quad (۳)$$

مجموع شارژ و دشارژ خازن C_2 در یک دوره تناوب اصلی در (۴) محاسبه شده است.

$$\Delta Q_{C_2}=\Delta Q_{C_2}(dis)+\Delta Q_{C_2}(ch)=\left(E-2V_{C_2}\right)\left(\frac{k_2-k_1+k_4-k_3}{\pi f_o Z_L}\right) \quad (۴)$$

با توجه به اینکه مقدار بار شارژ و دشارژ برای خازن شناور C_2 برابر هستند، برای یک دوره تناوب مولفه اصلی، برآیند شارژ و دشارژ معادل صفر است. در نتیجه مطابق قانون تعادل آمپر-ثانیه و با توجه به (۴)، ولتاژ خازن C_2 باید در مقدار 0.5E+ متعادل شود.

۳-۲- محاسبات ظرفیت خازن‌ها

برای تعیین ظرفیت از روش آنالیز سطح به سطح استفاده شده است. در هر سطح شارژ یا دشارژ خازن با توجه به بازه LDP و فرکانس مدولاسیون محاسبه و سپس مقدار خازن‌ها محاسبه شده است تا ریپل ولتاژ خازن در محدوده مجاز باقی بماند. انرژی تخلیه شده خازن C_1 در بازه زمانی معادل LDP آن در رابطه (۵) محاسبه شده است.

$$\Delta Q_{C_1}=\frac{I_m}{2.\pi.f_o}\int_{\pi+k_3}^{2\pi-k_3}\sin(\omega t-\varphi)d\omega t=\frac{I_m.\cos k_3.\cos\varphi}{\pi.f_o} \quad (۵)$$

در رابطه فوق، ΔQ_{C1} دشارژ حاصل از LDP خازن C_1، I_m حداکثر جریان بار، f_o فرکانس ولتاژ خروجی، φ اختلاف فاز بین ولتاژ و جریان خروجی برای بارهای مختلف، k_3 نقطه شروع LDP خازن C_1 بوده و ω فرکانس زاویه‌ای ولتاژ خروجی است. ظرفیت C_1 به ازای ریپل ولتاژ α_1 درصد، مطابق با (۶) قابل محاسبه است. انرژی تخلیه شده خازن C_2 ناشی از LDP در (۷) محاسبه شده است.

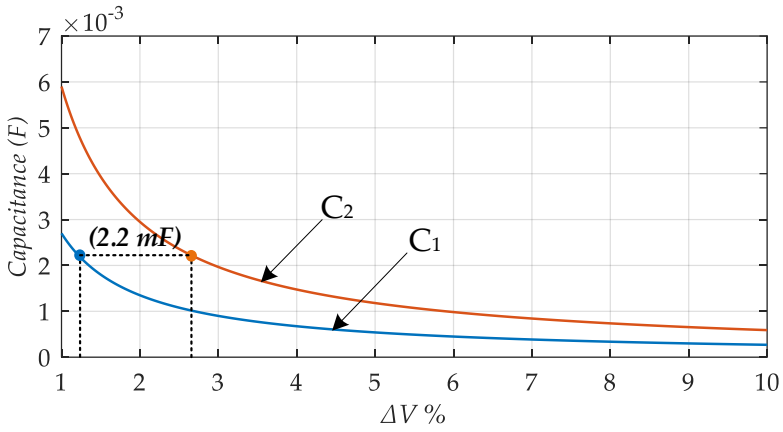
$$C_1=\frac{\Delta Q_{C_1}}{\alpha_1.E}=\frac{I_m.\cos k_3.\cos\varphi}{\alpha_1.E.\pi.f_o} \quad (۶)$$

$$\Delta Q_{C_2}=\frac{I_m}{\pi.f_o}\int_{k_3}^{k_4}\sin(\omega t-\varphi)d\omega t=\frac{2.I_m.(\cos k_3-\cos k_4).\cos\varphi}{\pi.f_o} \quad (۷)$$

در رابطه فوق، ΔQ_{C2} دشارژ حاصل از LDP خازن C_2 و k_3 و k_4 نقاط شروع و اتمام LDP خازن C_2 است. نهایتا ظرفیت خازن C_2 مطابق با رابطه (۸) قابل محاسبه است.

$$C_2=\frac{\Delta Q_{C_2}}{\alpha_2.E/2}=\frac{4.I_m(\cos k_3-\cos k_4)\cos\varphi}{\alpha_2.E.\pi.f_o} \quad (۸)$$

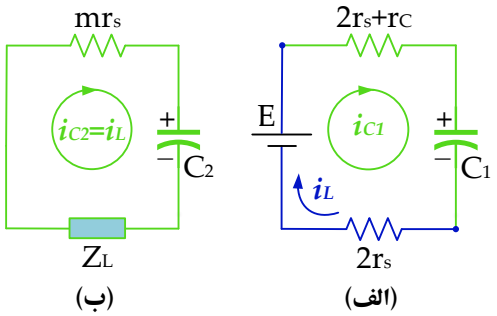
ظرفیت موردنیاز برای حداکثر درصد ریپل ولتاژ بین ۱ تا ۱۰ درصد برای خازن‌های ساختار پیشنهادی در شکل (۹) قابل مشاهده است. در ساختار پیشنهادی، به دلیل محدودسازی LDP خازن‌ها و نیز به دلیل عدم تکرار الگوی LDP در بازه یک دوره تناوب، ریپل ولتاژ خازن‌ها کم است. درنتیجه، ظرفیت موردنیاز برای درصد ریپل ولتاژ مشخص نیز نسبت به ساختارهای مشابه، مقدار کمتری است. لازم به ذکر است که خازن C_2 با وجود نیازمندی به ظرفیت بیشتر نسبت به خازن C_1 به ازای درصد ریپل ولتاژ یکسان، ولتاژ نامی در حدود نصف خازن C_1 دارد ($V_{C2}=0.5V_{C1}$). به بیان دیگر، ولتاژ نامی C_1 برابر با $0.5V_{max}$ بوده و ولتاژ نامی C_2 برابر با $0.25V_{max}$ است که V_{max} حداکثر ولتاژ خروجی اینورتر پیشنهادی است. با توجه به اینکه در رابطه طراحی ظرفیت خازن، ولتاژ نامی خازن در مخرج کسر قرار دارد، ولتاژ نامی کمتر منجر به ظرفیت بیشتر آن به ازای درصد ریپل یکسان می‌شود.



شکل ۹: نمودار ظرفیت موردنیاز خازن‌های C_1 و C_2 بر حسب ریپل ولتاژ بین ۱ تا ۱۰ درصد ولتاژ نامی خازن

۳-۳- تحلیل تنش جریان و شارژ نرم

در ساختار اینورترهای چندسطحی کلیدزنی خازنی، خازن‌ها در اتصال سری با منبع ولتاژ در مسیر تولید سطوح دشارژ می‌شوند. در برخی سطوح نیز با اتصال موازی با منبع ولتاژ ورودی و یا اتصال سری برخی خازن‌ها با منبع، شارژ می‌شوند. این فرآیند به نحوی باید تنظیم شود تا مقدار انرژی شارژ و دشارژ در طول یک دوره تناوب برابر باشد تا تعادل خودکار ولتاژ خازن در یک ولتاژ معینی حاصل شود. در ساختار ۹ سطحی پیشنهادی، دو خازن وجود دارد که به طور خودکار به تعادل ولتاژ می‌رسند. خازن C_1 با اتصال سری در مسیر جریان بار دشارژ می‌شود و نیز با اتصال موازی با منبع ولتاژ در سطح ولتاژ E به تعادل می‌رسد. خازن C_2 در سطوح ولتاژ -1.5E، -0.5E، +0.5E و +1.5E به طور متناوب و یک‌درمیان، به ترتیب شارژ و دشارژ می‌شود. همچنین در نصف ولتاژ ورودی (0.5E) به طور خودکار به تعادل می‌رسد. یکی از چالش‌های مهم برای ارائه اینورتر مناسب مبتنی بر کلیدزنی خازنی، جریان شارژ شدید در آغاز شارژ خازن است. مسیر شارژ و مقاومت پارازیتی معادل حلقه شارژ خازن‌های ساختار در شکل (۱۰) نشان داده شده است. با در نظر گرفتن اثر مقاومت‌های پارازیتی از جمله ESR خازن‌ها و مقاومت هدایتی ترانزیستورها، هر حلقه شارژ را می‌توان به عنوان یک مدار RC در نظر گرفت. در این شکل‌ها، مسیر آبی رنگ مربوط به مسیر مشترک بار و شارژ خازن است که در محاسبه دقیق‌تر، باعث افت ولتاژ خازن می‌شود. همچنین، E ولتاژ ورودی، r_s مقاومت کلید، r_C مقاومت سری خازن، i_{C1} و i_{C2} به ترتیب جریان شارژ لحظه‌ای خازن‌های C_1 و C_2 است. با توجه به شکل (۱۰)-الف، مقدار تنش جریان لحظه‌ای در حلقه خازن C_1 و کلیدهای موجود در این حلقه را می‌توان با (۹) بیان کرد که ΔV_{C1} ریپل ولتاژ خازن C_1 و R_{C1} مقاومت پارازیتی کل در حلقه شارژ خازن C_1 است.



شکل ۱۰: مدار معادل شارژ خازن‌ها. (الف) خازن C_1 و (ب) خازن C_2

به علت وجود توالی شارژ مناسب، LDP خازن C_1 محدود به بازه عملکرد اینورتر در دو سطح $1.5V_{dc}$- و $2V_{dc}$- شده است. در نتیجه مطابق رابطه (۱) با کاهش حداکثر مقدار ریپل ولتاژ (ΔV_{C1}) ناشی از محدودسازی LDP خازن‌ها، حداکثر جریان شارژ خازن C_1 زیاد نیست. جریان شارژ عبوری از حلقه خازن C_2 بر اساس شکل (۱۰)-ب مطابق (۱۰) قابل بیان است. به علت وجود امپدانس قابل توجه بار در مسیر شارژ خازن C_2، می‌توان از مقاومت‌های پارازیتی صرفنظر کرد. در نتیجه جریان عبوری از این خازن برابر جریان بار بوده و در نتیجه دارای جریان هجومی نیست.

$$i_{C_1} = \frac{\Delta V_{C_1}}{R_{C_1}} = \frac{E - V_{C_1} - 2r_S i_L}{4r_S + r_C} \qquad (۹)$$

$$i_{C_2} = \frac{\Delta V_{C_2}}{R_{C_2}} = \frac{V_o}{Z_L} \qquad (۱۰)$$

مطابق با (۹) و (۱۰)، حداکثر تنش جریان در حلقه شارژ، تابع ریپل ولتاژ خازن‌ها (ΔV_C) و مقاومت پارازیتی حلقه شارژ (R_C) است. با افزایش مقاومت ادوات مختص مسیر جریان شارژ، بدون افزایش تلفات، جریان شارژ کاهش می‌یابد. با این حال به دلیل شارژ ناقص خازن، افزایش مقاومت پارازیتی نباید از مقدار مجازی که شارژ مؤثر را تضمین می‌کند فراتر برود. با انتخاب توالی کلیدزنی مناسب با مدولاسیون شیفت سطحی ارائه شده که تعداد و مدت LDP را به حداقل مقدار ممکن محدود می‌کند، ریپل ولتاژ کاهش می‌یابد. نهایتا با محدودسازی ریپل ولتاژ خازن‌ها و همزمان با شارژ مؤثر خازن‌ها، جریان هجومی نیز تا حد زیادی سرکوب می‌شود. مقایسه رفتار تعادل ولتاژ خازن‌ها در ساختارهای اخیر نشان می‌دهد که بسیاری از ساختارهای موجود با وجود تعداد کلیدهای کمتر، از عملکرد شارژ ناپیوسته یا مسیرهای شارژ مشترک رنج می‌برند؛ موضوعی که موجب ایجاد اسپایک‌های ولتاژ یا ریپل زیاد می‌شود. همچنین در ساختارهای دارای دیود، افت ولتاژ ناشی از هدایت دیودهای مختلف مورداستفاده در ساختار بر کیفیت شارژ تاثیر می‌گذارد. در مقابل، ساختار پیشنهادی با استفاده از حلقه‌های شارژ مجزا و محدودسازی LDP به تنها یک بازه کوتاه در هر دوره، فرآیند تعادل ولتاژ خازن‌ها را بدون نیاز به سنسور یا کنترل کمکی تضمین می‌کند. این ویژگی یکی از تفاوت‌های اصلی ساختار پیشنهادی با اغلب نمونه‌های هم‌رده SCMLI است.

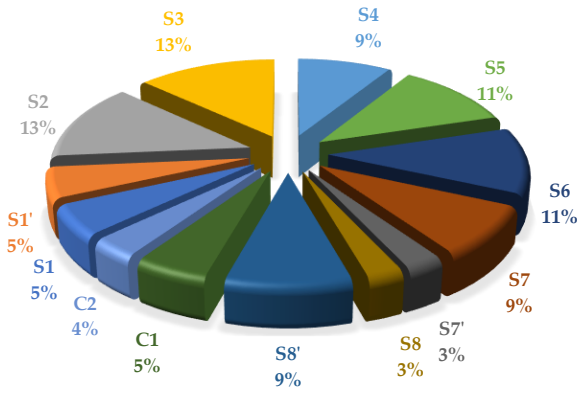
٤- محاسبات تلفات

تلفات ساختار نه سطحی کلیدزنی خازنی پیشنهادی، مانند سایر ساختارهای SCMLI محاسبه می‌شود. به طور کلی، تلفات فرآیند دشارژ خازن توسط عناصر پارازیتی مسیر جریان بار شامل مقاومت پارازیتی کلید قدرت (r_s)، مقاومت هدایتی دیود (r_d) و مقاومت سری معادل خازن (r_c) جذب می‌شوند و تلفات فرایند شارژ خازن در عناصر پارازیتی حلقه شارژ هر خازن تلف می‌شود. بخش عمده در ساختارهای SCMLI، تلفات ناشی از ریپل ولتاژ خازن‌هاست. درنتیجه، محدودسازی ریپل ولتاژ و کاهش جریان شارژ، به طور محسوس سبب کاهش تلفات ساختار و افزایش راندمان آن می‌شود. تلفات در سه گروه کلی شامل تلفات کلیدزنی، تلفات هدایتی و تلفات ریپل قابل محاسبه است. در جدول (۳) محاسبات مربوط به انواع تلفات گزارش شده است. در جدول (۳)، f_o فرکانس خروجی اینورتر است. تلفات کلیدزنی (P_{sw}) تابع عواملی همچون تاخیر روشن شدن کلید (t_{on})، تاخیر خاموش شدن کلید (t_{off})، تعداد تغییر حالت کلید در یک تناوب مولفه اصلی (N_{Si})، ولتاژ مسدودکنندگی (V_{Si}) و جریان لحظه‌ای کلید (i_{Si}) است. تلفات هدایتی (P_{cond}) با در نظرگرفتن دوره کاری (D_i) به ازای هر سطح ولتاژ خروجی (l_i)، مقاومت پارازیتی کل در مسیر جریان بار (r_L) و مقدار جریان بار (i_L) قابل محاسبه است. تلفات ریپل ولتاژ خازن‌ها (P_{rip})، با در نظرگفتن تعداد ریپل‌های ولتاژ خازن C (N_C) و مقدار هر کدام از ریپل‌های ولتاژ آن (ΔV) قابل محاسبه است. به علاوه، به دلیل تشابه مقدار و تعداد ریپل ولتاژ برای C_1 و C_2 و همچنین برای C_3 و C_4، روابط مربوطه ساده شده‌اند.

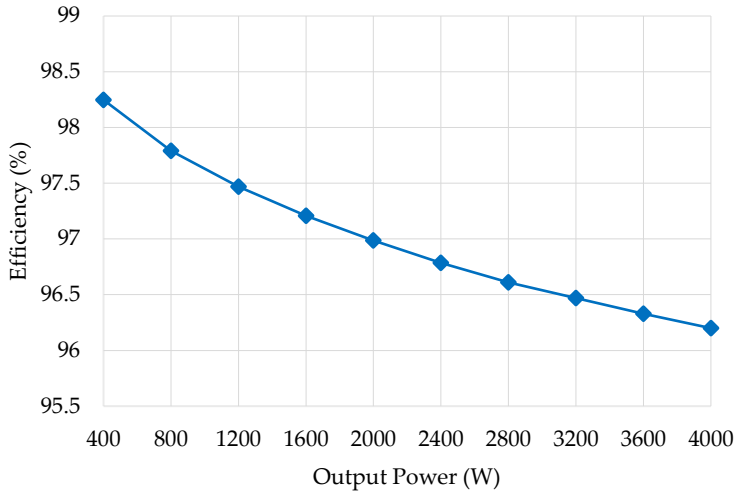
جدول ۳: محاسبات تلفات مختلف برای ساختار پیشنهادی

تلفات	فرمول
P_{sw}	$\frac{f_o}{6}(t_{on}+t_{off})\left(\sum_{k=1}^{N_{S_i}/2}\left\|V_{S_i}\times i_{S_i}\right\|\right)$
P_{cond}	$\frac{2f_o}{\pi}\int_{l_{i+1}}^{l_{i+2}}\left(D_i\sum_{i=-4}^{3}r_{Li}{i_{Li}}^2+(1-D_i)\sum_{i=-4}^{3}r_{Li}{i_{Li}}^2\right)d\omega t$
P_{rip}	$f_oC_1\sum_{i=1}^{N_{C_1}}\Delta{V_i}^2+f_oC_2\sum_{j=1}^{N_{C_2}}\Delta{V_j}^2$
η	$\left(\frac{P_{out}}{P_{out}+P_{sw}+P_{cond}+P_{rip}}\right)\times 100$

شبیه‌سازی تلفاتی برای ساختار پیشنهادی در محیط سیمولینک متلب انجام شده است. ولتاژ ورودی ۲۰۰ ولت، فرکانس پایه ۵۰ هرتز، فرکانس کلیدزنی ۴/۲ کیلوهرتز و اندیس مدولاسیون ۰/۸۷ برای توان خروجی ۴۵۰ واتی، مشابه با نمونه آزمایشگاهی اعمال شده است. در ضمن، خازن C_1 با ظرفیت ۲۲۰۰ میکروفاراد با ولتاژ نامی ۲۰۰ ولت و خازن C_2 با ظرفیت ۲۲۰۰ میکروفاراد و ولتاژ نامی ۱۰۰ ولت لحاظ شده است. تلفات کل هر کلید ناشی از تجمیع تلفات مختلف محاسبه شده است. در ادامه، توزیع تلفات در عناصر ساختار پیشنهادی در شکل (۱۱) ارائه شده است. مطابق با شکل (۱۱)، تلفات عناصر مسیر شارژ خازن C_1، شامل کلیدهای S_2، S_3، S_4، S_5 و S_6 تا حدودی بیشتر از سایر عناصر ساختار است. چراکه علاوه بر جریان بار، جریان شارژ نیز از این کلیدها عبور می‌کند. درنتیجه، تلفات ناشی از ریپل ولتاژ خازن‌ها نیز توسط مقاومت پارازیتی کلیدهای مسیر شارژ جذب می‌شود. مجموع تلفات در توان خروجی ۴۵۰ وات، حدود ۷/۲ وات محاسبه شده است که بیانگر راندمان ۹۸/۳ درصدی برای اینورتر پیشنهادی است. کاهش تلفات و بهبود راندمان در ساختار پیشنهادی تا حد زیادی ناشی از ریپل ولتاژ کم خازن‌ها است. نمودار راندمان ساختار پیشنهادی به ازای توان ۴۰۰ وات تا ۴ کیلووات در شکل (۱۲) گزارش شده است. مطابق با شکل (۱۲)، راندمان ساختار پیشنهادی در توان خروجی ۴ کیلووات به ۹۶/۲ درصد می‌رسد. راندمان ساختار پیشنهادی به ازای توان ۴۰۰ وات تا ۴ کیلووات در شکل (۱۲) گزارش شده است. راندمان ساختار پیشنهادی در توان ۴ کیلووات به ۹۶/۲ درصد می‌رسد.



شکل ۱۱: توزیع تلفات در عناصر ساختار نه‌سطحی پیشنهادی در توان خروجی ۴۵۰ وات



شکل ۱۲: نمودار راندمان ساختار پیشنهادی در بازه ۴۰۰ وات تا ۴ کیلووات

۵- مقایسه با سایر ساختارهای مشابه

جدول (۴) مربوط به مقایسه ساختارهای مختلف ۹ سطحی با ساختار پیشنهادی است. اینورترهای مقایسه‌ای شامل ساختارهای با بهره ۲ و ۴ برابری هستند. تعداد کلیدهای موردنیاز (N_{sw}) در [۹]، [۱۴]، [۱۵]، [۱۹] و [۲۸] حداقل ۱۳ کلید یا بیشتر است که باعث پیچیدگی کنترلی و افزایش تلفات کلیدزنی و هدایتی می‌شود. تعداد دیودها در ساختارهای [۸]، [۹]، [۱۲]، [۱۸]، [۱۹]، [۲۱]، [۲۳]- [۲۵]، [۲۷] و [۲۸] حداقل ۳ دیود یا بیشتر است و منجر به افت ولتاژ هدایتی و کاهش کیفیت ولتاژ خروجی، خصوصا در بهره کمتر می‌شود. تعداد خازن‌ها (N_C) در ساختارهای [۹]، [۱۰]، [۱۶]، [۱۸]، [۱۹]، [۲۱]، [۲۳]- [۲۵]، [۲۷] و [۲۸] برابر با ۳ عدد است که نسبت به سایر ساختارها بیشتر است. تعداد کل عناصر (N_{device}) برای ساختارهایی با بهره دو برابری در [۱۰] و [۲۵] بیش از ۲۶ تجهیز است که برای ساختار نه سطحی با بهره دو برابری، ادوات زیادی است. همچنین N_{device} در ساختارهایی با بهره چهار برابری در [۹]، [۱۴]، [۱۹]، [۲۳] و [۲۸] حداقل ۲۸ تجهیز یا بیشتر است که برای ساختار نه سطحی با بهره چهاربرابری، ادوات زیادی محسوب می‌شود. تعداد ادوات زیاد باعث افزایش حجم و هزینه نهایی اینورترهای ذکر شده می‌شود. یکی از چالش‌های اصلی برای ساختارهای SCMLI، تنش ولتاژ زیاد در عناصر مبدل است. مطابق با جدول (۴)، مقدار MBV در تعدادی از عناصر ساختارهای [۱۱]، [۱۲]، [۱۵]، [۱۷]، [۱۸]، [۲۰]- [۲۲]، [۲۴]، [۲۶] و [۲۷] برابر با حداکثر ولتاژ خروجی (V_{max}) است. این ساختارها حتی برای کاربردهای ولتاژ کم (LV) نیز با چالش جدی هزینه و عمر عناصر و محدودیت کاربرد مواجه هستند. در ساختارهای [۸]، [۱۰]، [۱۶] و [۲۵] با وجود محدودسازی MBV به $0.5V_{max}$، تعداد عناصر در معرض MBV (N_{MBV}) برابر با نه تجهیز یا بیشتر هستند. مجموع ولتاژ مسدودکنندگی (TSV) معیاری برای جمع تنش ولتاژ روی تمامی عناصر مبدل است و دید کلی از میزان تنش الکتریکی در کل ساختار فراهم می‌کند. ساختار پیشنهادی با مقدار $4.5V_{max}$ دارای کمترین TSV بین تمام موارد موردمقایسه در جدول (۴) است. درحالی که TSV ساختارهای ارائه شده در [۱۰]، [۱۱]، [۱۵]، [۱۷]، [۱۸]، [۲۰]- [۲۲] و [۲۴]- [۲۷] حداقل برابر با $6V_{max}$ یا بیشتر است و باعث افزایش قابل توجه هزینه اینورتر می‌شود.

ساختارهای ارائه شده در [۲۱] و [۲۷] نیاز به خازنی با ولتاژ نامی برابر با حداکثر ولتاژ خروجی (V_{max}) دارند که منجر به محدودیت کاربرد و افزایش تلفات و هزینه اینورتر می‌شود. مجموع ولتاژ نامی خازن‌ها (TCV_{pu}) در ساختارهای [۱۰]، [۱۶]، [۲۱]، [۲۳]- [۲۵] و [۲۷] حداقل V_{max} یا بیشتر است. در نتیجه، هزینه و حجم اینورتر افزایش یافته و باعث افزایش تلفات می‌شود. بیشینه دوره دشارژ پیوسته (LDP) در ساختارهای [۱۰]، [۱۸]، [۲۳]، [۲۴]، [۲۷] و [۲۸] حداقل سه سطح متوالی یا بیشتر است. تعداد تکرار

ریپل ولتاژ حاصل از LDP در یک دوره تناوب اصلی (N_{LDP}) در [۹]، [۱۲] و [۱۹] برابر با چهار است که منجر به کاهش محسوس کیفیت ولتاژ و راندمان اینورتر می‌شود.

جدول ٤: مقایسه ساختارهای تک‌منبعی نه سطحی کلیدزنی خازنی

CF		Ex	L_{ch}	Limit I_{Cmax}	Separate SC	N_{LDP}	LDP	TCV_{pu}	MCV_{pu}	TSV_{pu}	N_{MBV}	MBV_{pu}	B	N_{device}	N_C	N_d	N_{dr}	N_{sw}	مرجع
α=1.5	α=1.0																		
4.92	3.92	Yes	No	✗	No	2	2	0.75	0.50	5.75	10	0.50	4	25	2	3	10	10	[8]
5.35	4.38	No	No	✗	No	4	2	0.75	0.25	5.50	6	0.50	4	32	3	3	13	13	[9]
3.62	3.08	No	No	$9I_m$	No	1	4	1.00	0.50	6.00	11	0.50	2	26	3	2	10	11	[10]
3.85	3.15	No	Yes	$4I_m$	No	2	2	0.50	0.25	8.50	6	1.00	2	23	2	0	9	12	[11]
3.29	2.81	Yes	No	✗	No	4	2	0.50	0.25	5.75	2	1.00	2	24	2	4	9	9	[12]
4.77	3.85	Yes	No	✗	No	2	2	0.75	0.50	5.25	9	0.50	4	26	2	0	12	12	[13]
5.27	4.31	Yes	No	✗	No	2	2	0.75	0.50	5.50	6	0.50	4	31	2	1	14	14	[14]
6.58	5.08	Yes	No	✗	No	1	2	0.75	0.50	9.00	4	1.00	4	27	2	1	11	13	[15]
3.23	2.77	No	No	✗	Yes	2	2	1.00	0.50	5.00	9	0.50	2	24	3	0	10	11	[16]
5.15	4.00	Yes	No	✗	No	2	2	0.75	0.50	6.75	4	1.00	4	22	2	2	9	9	[17]
5.35	4.23	No	Yes	$3I_m$	No	2	3	0.75	0.25	6.50	3	1.00	4	26	3	3	10	10	[18]
5.46	4.46	No	No	$8I_m$	Yes	4	2	0.75	0.25	5.75	4	0.75	4	32	3	1	14	14	[19]
5.35	4.15	No	No	✗	No	2	2	0.75	0.50	7.00	4	1.00	4	23	2	3	9	9	[20]
3.38	2.77	No	Yes	$4I_m$	No	1	2	1.50	1.00	6.50	4	1.00	2	20	3	2	7	8	[21]
5.88	4.62	No	No	$6I_m$	No	2	2	0.75	0.50	7.50	3	1.00	4	27	2	2	11	12	[22]
5.04	4.08	No	No	✗	No	2	3	1.00	0.50	5.25	8	0.50	4	28	3	1	12	12	[23]
3.48	2.88	No	No	$9I_m$	Yes	1	3	1.75	0.50	6.00	3	1.00	2	23	4	1	9	9	[24]
3.73	3.15	No	No	$7I_m$	Yes	2	2	1.00	0.50	6.50	12	0.50	2	26	3	2	10	11	[25]
3.38	2.85	No	Yes	$5I_m$	No	2	2	0.50	0.25	6.50	2	1.00	2	23	2	0	9	12	[26]
6.85	5.23	No	No	$9I_m$	No	1	4	1.75	1.00	8.75	6	1.00	4	26	3	2	10	11	[27]
5.38	4.38	Yes	No	✗	Yes	2	3	0.75	0.25	5.75	4	0.75	4	31	3	0	13	15	[28]
3.06	**2.65**	**Yes**	**No**	$2I_m$	**Yes**	**1**	**2**	**0.75**	**0.50**	**4.50**	**7**	**0.50**	**2**	**24**	**2**	**0**	**11**	**11**	**Prop.**

تعداد کلیدها (N_{sw}) – تعداد درایورها (N_{dr}) – تعداد دیودها (N_d) – تعداد خازن‌ها (N_C) – ضریب تقویت (B) – حداکثر ولتاژ مسدودکنندگی در واحد (MBV_{pu}) – تعداد قطعات با بیشینه تنش ولتاژ (N_{MBV}) – ولتاژ مسدودکنندگی کل در واحد (TSV_{pu}) – حداکثر ولتاژ خازن‌ها (MCV_{pu}) – کل ولتاژ خازن‌ها در واحد (TCV_{pu}) – بیشینه دوره دشارژ پیوسته در سطح (LDP) – تعداد تکرار LDP در یک دوره تناوب (N_{LDP}) – حداکثر جریان هجومی محدود شده (I_{Cmax}) – حداکثر جریان بار (I_m) – نیاز به واحد سلف محدودساز شارژ (L_{ch}) – قابلیت توسعه (Ex) – تابع هزینه (CF)

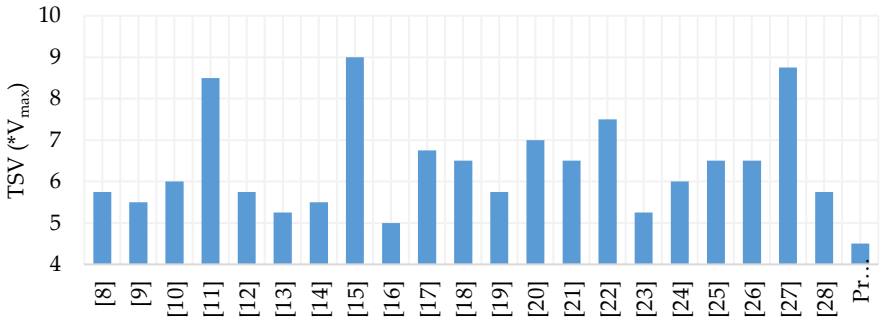
در ساختارهای ارائه شده در [۸]– [۱۵]، [۱۷]، [۱۸]، [۲۰]– [۲۳]، [۲۶] و [۲۷] خازن‌ها در حلقه شارژ یکدیگر قرار دارند، درنتیجه، علاوه بر ریپل ولتاژ ناشی از LDP هر خازن، ریپل ولتاژ ناشی از تداخل حلقه‌های شارژ نیز باعث افزایش تلفات و کاهش کیفیت ولتاژ خروجی می‌شود. ساختارهای ارائه شده در [۹]– [۱۱]، [۱۶] و [۱۸]– [۲۷] قابلیت گسترش ندارند. درنتیجه برای افزایش بهره، افزایش تعداد سطوح و کاهش بیشتر MBV، نیاز به مبدل DC-DC افزاینده و یا نیاز به اتصال آبشاری چندین ساختار پایه دارند. در [۸]– [۹]، [۱۲]– [۱۷]، [۲۰]، [۲۳] و [۲۸] جریان هجومی شارژ محدود نشده است. درنتیجه، به عناصری مقاوم در جریان هجومی شارژ خازن‌ها نیاز است که منجر به افزایش هزینه اینورتر می‌شود. همچنین در ساختارهای [۱۱]، [۱۸]، [۲۱] و [۲۶] از واحد سلف محدودساز (L_{ch}) استفاده شده که واحد خارجی بوده و هزینه را تا حدودی افزایش می‌دهد. اینورتر پیشنهادی با وجود کلیدهای بیشتر نسبت به برخی ساختارها، هزینه کمتری دارد. این مورد به دلیل تنش ولتاژ کم در کلیدهای ساختار پیشنهادی است. در ضمن

به دلیل عدم وجود دیود در ساختار پیشنهادی، افت ولتاژ خازن یا ولتاژ خروجی کمتر از اینورترهای حاوی دیود است و این مورد هم از نکات قابل توجه است. مزایای اینورتر ۹ سطحی پیشنهادی شامل موارد زیر است: کمترین تعداد ریپل ولتاژ ناشی از LDP برابر با دو سطح متوالی، حلقه شارژ مجزا برای واحدهای کلیدزنی خازنی که منجر به عدم وجود تداخل ریپل ولتاژ و بهبود راندمان می‌شود، قابلیت گسترش در ساختار پیشنهادی با تکرار واحدهای پایه، عملکرد صحیح برای بار اهمی و اهمی-سلفی به درستی سطوح تولید می‌شوند.

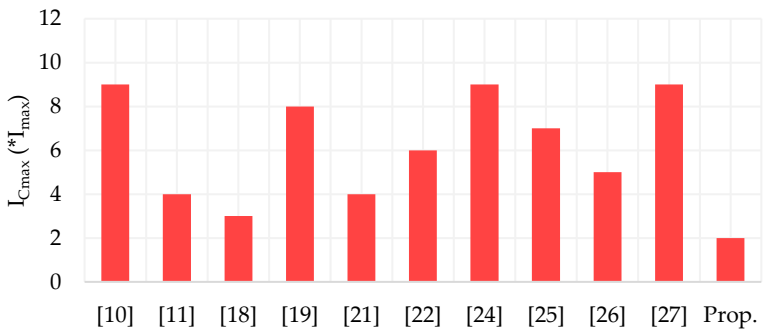
تابع هزینه (CF) یک معیار مناسب و جامع برای مقایسه بین ساختارهای مختلف اینورترهای چندسطحی مبتنی بر کلیدزنی خازنی است. در رابطه تابع هزینه که در (۱۱) ارایه شده، پارامترهای مختلفی مانند تعداد کل عناصر ساختار، TSV و TCV با ضرایب مختلف وزنی (α) درنظر گرفته شده است. مقدار CF برای ساختارهای موردمقایسه به ازای ضرایب وزنی $\alpha=1$ و $\alpha=1.5$ در دو ستون آخر جدول (۴) گزارش شده است. مطابق با این جدول، ساختار پیشنهادی دارای کمترین مقدار CF به ازای مقادیر مختلف α است. تابع هزینه ساختار پیشنهادی به ازای $\alpha=1$ برابر با 2.65 و به ازای $\alpha=1.5$ برابر با 3.06 دردحاصل شده است.

$$CF = \frac{N_{sw} + N_{dr} + N_d + N_C + \alpha(TSV + TCV)}{N_L} \qquad (۱۱)$$

مقایسه TSV ساختارهای مختلف نه‌سطحی جدول (۴) در شکل (۱۳) گزارش شده است. ساختار پیشنهادی با مقدار $4.5V_{max}$ دارای کمترین TSV است که بیانگر تنش ولتاژ کمتر در ساختار و عدم نیاز به عناصری با هزینه زیاد جهت تحمل تنش ولتاژ زیاد است.



شکل ۱۳: نمودار مقایسه TSV برای ساختارهای نه سطحی موردمقایسه در جدول (۴)

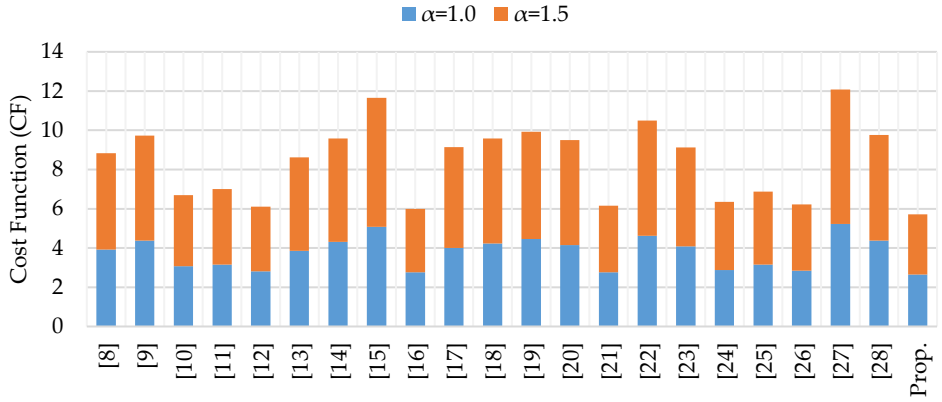


شکل ۱٤: نمودار مقایسه حداکثر جریان هجومی محدود شده (I_{Cmax}) برای ساختارهای نه سطحی موردمقایسه در جدول (۴)

نمودار مقایسه تنش جریان هجومی در عناصر ساختار پیشنهادی (I_{Cmax}) بر حسب بیشینه جریان بار خروجی (I_{max}) در شکل (۱۴) ارائه شده است. در این نمودار، تنها مراجعی که برای محدودسازی جریان هجومی روشی ارائه کرده‌اند مورد مقایسه قرار گرفته‌اند و

سایر موارد که جریان هجومی شدیدی دارند حذف شده‌اند. مطابق با این شکل، ساختار پیشنهادی با مقدار $2I_{max}$ دارای کمتر تنش جریان مابین موارد موردمقایسه است. ساختار پیشنهادی به عناصری برای تحمل جریان زیاد نیازی ندارد و شارژ کاملا نرم انجام می‌شود.

مقایسه مقدار تابع هزینه (CF) برای ساختارهای مختلف موردمقایسه در جدول (۴) در شکل (۱۵) گزارش شده است. این مقایسه به ازای ضریب $\alpha=1$ و $\alpha=1.5$ محاسبه شده است. ساختار پیشنهادی نسبت به سایر موارد، کمترین هزینه را دارد. این امر ناشی از TSV کمینه ساختار پیشنهادی، TCV بهینه، بدون نیاز به ادوات زیاد است.



شکل ۱۵: نمودار مقایسه تابع هزینه (CF) برای ساختارهای نه سطحی مختلف به ازای ضریب α متفاوت

تحلیل جامع مقادیر مندرج در جدول مقایسه نشان می‌دهد که ساختار پیشنهادی از نظر سه شاخص کلیدی عملکردی شامل کاهش مجموع ولتاژ مسدودکنندگی کلیدها (TSV)، محدودسازی بیشینه ولتاژ مسدودکنندگی هر کلید (MBV) و کمینه‌سازی ریپل ولتاژ خازن‌ها، برتری محسوسی نسبت به تمامی ساختارهای هم‌رده دارد. به‌گونه‌ای که مقدار TSV برابر با $4.5V_{max}$ کمترین مقدار در میان تمامی ساختارهای نه‌سطحی بوده و بیانگر کاهش تنش الکتریکی کلی، افزایش قابلیت اطمینان و کاهش نیاز به ادوات نیمه‌هادی با ولتاژ نامی زیاد است. مقدار MBV برابر با $0.5V_{max}$ امکان استفاده از کلیدهای با ولتاژ نامی پایین‌تر، تلفات هدایت کمتر و در نهایت کاهش هزینه نهایی مبدل را فراهم می‌کند. از سوی دیگر، وجود تنها یک دوره LDP برای هر خازن در هر دوره تناوب فرکانس پایه و تفکیک کامل مسیرهای شارژ و دشارژ، به‌طور مؤثری از تداخل جریان‌های شارژ جلوگیری کرده و باعث کاهش چشمگیر جریان هجومی و دستیابی به کمترین میزان ریپل ولتاژ در میان ساختارهای مقایسه‌شده می‌شود که این موضوع با نتایج تحلیلی و شبیه‌سازی نیز کاملاً همخوان است. این مجموعه ویژگی‌ها در کنار هم، یک توازن بهینه میان کاهش تنش ولتاژ، بهبود راندمان، کاهش هزینه ادوات قدرت و سادگی پیاده‌سازی ایجاد می‌کند که در اغلب ساختارهای موجود به‌صورت هم‌زمان قابل دستیابی نیست و برتری فنی و اقتصادی ساختار نه‌سطحی کلیدزنی خازنی پیشنهادی را به‌طور قاطع تأیید می‌نماید.

در جدول (۵) هزینه واقعی ساختارهای دارای ضریب بهره ولتاژ ۲ برابری با هم مقایسه شده‌اند. ساختار پیشنهادی با هزینه نهایی 47.8 دلار، دارای کمترین هزینه در مقایسه با سایر موارد مشابه است. هزینه هر کلید ارتباط مستقیمی با ولتاژ نامی آن دارد. ساختار پیشنهادی نیاز به ۱۱ کلید دارد. با این حال، به دلیل تنش ولتاژ کم کلیدها، هزینه ناشی از آنها زیاد نیست. همچنین ساختار پیشنهادی نیازی به دیود ندارد و درنتیجه هزینه‌ای برای دیود وجود ندارد. برایند پارامترهایی همچون تعداد خازن‌ها، ولتاژ نامی هر خازن و ظرفیت موردنیاز هر خازن در هزینه و حجم اینورتر کلیدزنی خازنی تاثیر محسوسی دارند. ساختار پیشنهادی تنها دو خازن با ولتاژ نامی کم دارد و نیز به دلیل ریپل ولتاژ کم، هزینه نهایی ناشی از خازن‌ها نیز کم است.

جدول ۵: مقایسه هزینه واقعی ساختارهای مختلف نه سطحی با بهره ۲ برابری با فرض ولتاژ ورودی برابر با ۱۰۰ ولت (V_{dc}=100V)

تجهیز	پارت‌نامبر	ولتاژ نامی (V)	جریان نامی (A)	هزینه ($)	[10]	[11]	[12]	[16]	[21]	[24]	[25]	[26]	Prop.
ماسفت	IRFZ20PBF	50	15	1.56	2	1	2	2	2	2	2	2	**4**
	IRFI530GPBF	100	14	2.31	9	6	4	9	3	5	9	8	**7**
	GE3STP40NF20	200	48	4.33	0	2	6	0	3	2	0	2	**0**
دیود	MBR1050CT	50	10	1.33	0	2	0	0	1	0	0	0	**0**
	MBRF25100CTYC0	100	25	1.97	2	2	0	0	0	0	2	0	**0**
	MBRF10200CT	200	10	2.38	0	0	0	0	1	1	0	0	**0**
خازن	LGY1H222MELZ25 2200 uF	50	-	3.26	1	0	0	2	1	0	2	0	**1**
	LGU1J272MELA 2700 uF	50	-	4.29	1	2	2	0	1	1	0	2	**0**
	LGY2A222MELA50 2200 uF	100	-	6.52	1	0	0	1	1	2	1	0	**1**
	LLS2D222MELC 2200 uF	200	-	10.05	0	0	0	0	0	1	0	0	**0**
درایور	TLP250	-	-	1.42	10	9	9	10	7	9	10	9	**11**
هزینه نهایی ($)					56.1	52.5	59.7	51.2	50.8	65.9	55.1	51.7	**47.8**

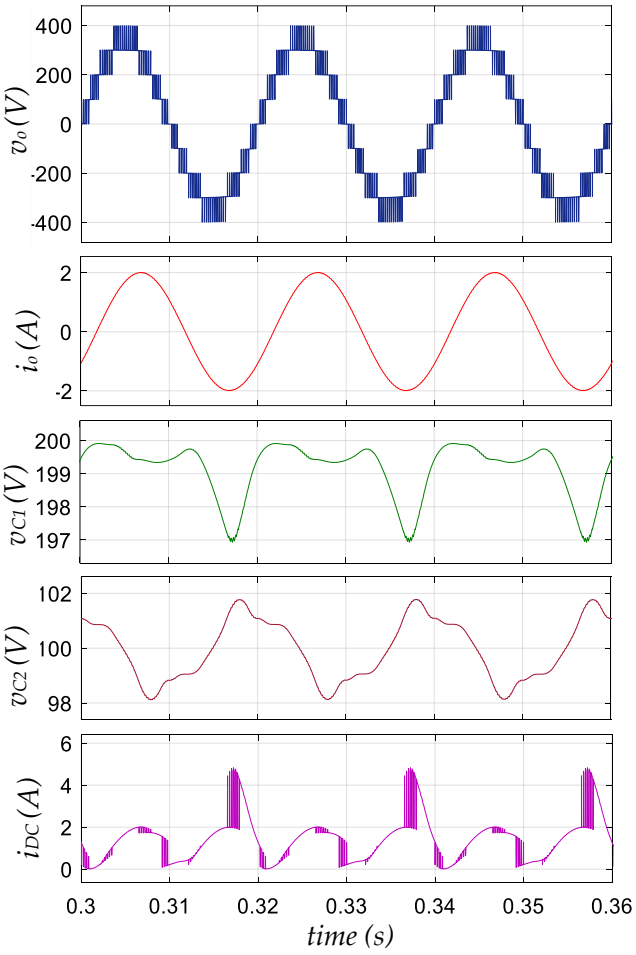
٦- نتایج شبیه‌سازی

ساختار پیشنهادی در محیط سیمولینک متلب (*Matlab Simulink*) شبیه‌سازی شده و نتایج مختلف در شرایط ثابت و پویا برای آن ارائه شده است. مقادیر پارامترهای شبیه‌سازی در جدول (۷) ارائه شده است. همچنین برخی نتایج حاصل از شبیه‌سازی ساختار گسترش‌یافته پیشنهادی افزوده شده است.

جدول ٦: مقادیر پارامترهای شبیه‌سازی

پارامترها	مقادیر
فرکانس پایه (f_o)	50 Hz
فرکانس کلیدزنی (f_{sw})	4200 Hz
ولتاژ ورودی (E)	200 V
حداکثر ولتاژ خروجی (V_{max})	400 V
اندیس مدولاسیون (M)	0.83
C_1	100 V, 2200 µF
C_2	50 V, 2200 µF
مقاومت پارازیتی کلیدها	200 mΩ
مقاومت سری معادل خازن‌ها (ESR)	100 mΩ
بار اهمی (R)	125 Ω
بار اهمی سلفی (RL)	140 Ω ,280 mH

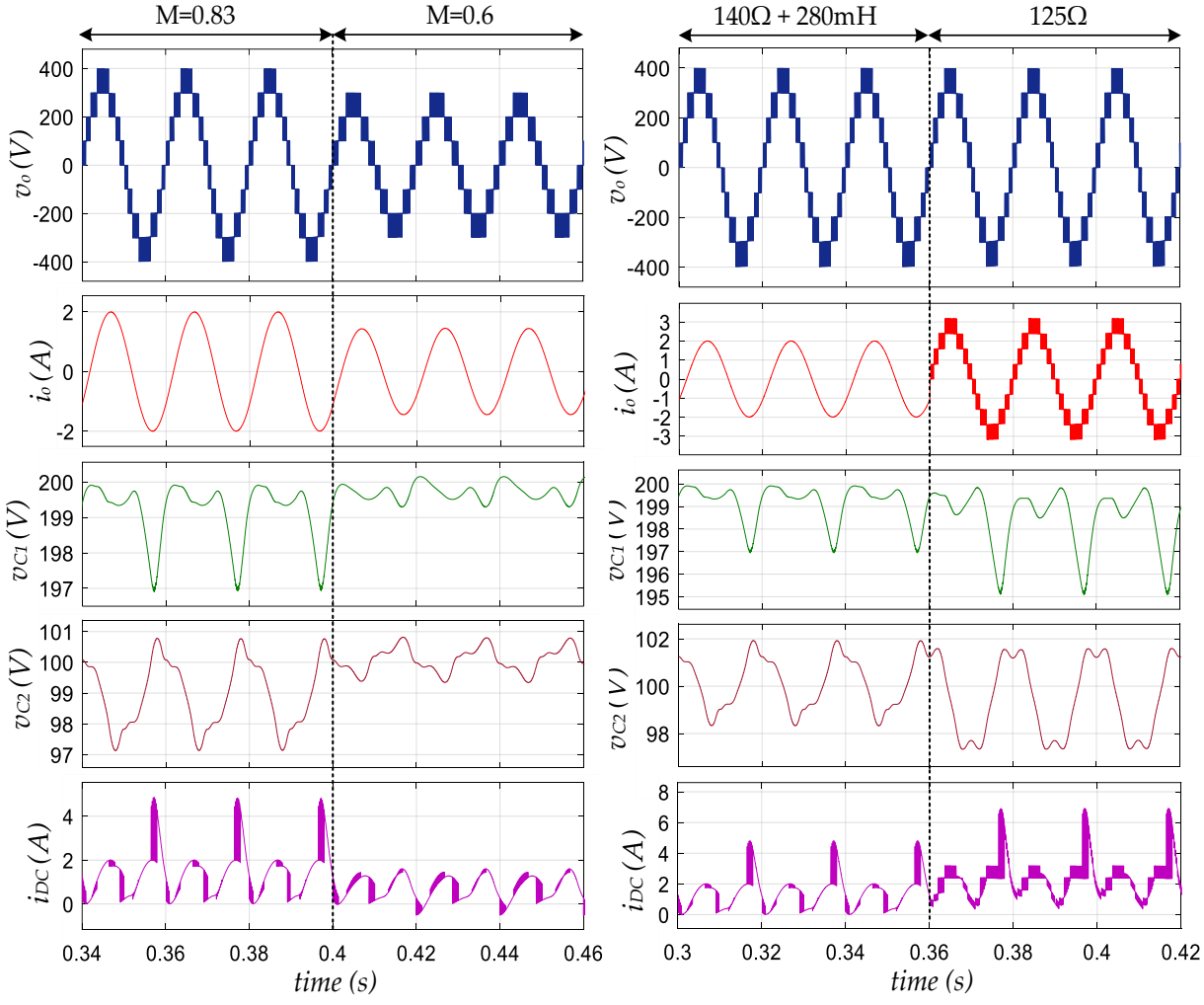
نتایج مربوط به ولتاژ و جریان عناصر مختلف در ساختار پیشنهادی، برای اندیس مدولاسیون ۰/۸۷ و تحت بار اهمی–سلفی، در شکل (۱۶) ارائه شده است. همان‌طور که از این شکل مشاهده می‌شود، حداکثر ولتاژ خروجی برابر با ۴۰۰ ولت است؛ این مقدار بیانگر توانایی ساختار پیشنهادی در ایجاد افزایش دوبرابری ولتاژ با افت بسیار ناچیز است، در حالی که گام هر سطح ولتاژ ۱۰۰ ولت باقی می‌ماند. همچنین حداکثر جریان بار ۲ آمپر اندازه‌گیری شده که توان خروجی متناظر با آن حدود ۳۰۰ وات است. اختلاف فاز جزئی بین ولتاژ و جریان خروجی ناشی از ضریب توان غیرواحد بار است. ریپل ولتاژ خازن‌ها نیز در شکل (۱۶) نشان داده شده است؛ به‌گونه‌ای که سطح ولتاژ خازن C_1 حدود ۲۰۰ ولت بوده و ریپل آن تنها ۳ ولت است که معادل ۱/۵ درصد ولتاژ نامی آن می‌باشد. علاوه بر این، سطح ولتاژ تعادلی خازن C_2 برابر با ۱۰۰ ولت بوده و ریپل ولتاژ آن ۳/۵ ولت اندازه‌گیری شده است که برابر با ۳/۵ درصد ولتاژ نامی آن است. مطابق با شکل (۱۶)، نمودار ولتاژ هر خازن در هر دوره تناوب، تنها یک ریپل اصلی دارد که ناشی از LDP یکتای آن است. به دلیل کوچک بودن ریپل ولتاژ خازن‌ها، که ناشی از توالی شارژ مناسب ساختار، استقلال حلقه‌های شارژ و وجود امپدانس بار به صورت سری در مسیر شارژ خازن C_2 است، تنش جریان منبع DC به کمتر از ۴/۵ آمپر محدود شده است. این موضوع به روشنی عملکرد شارژ نرم و کنترل‌شده ساختار پیشنهادی را تأیید می‌کند..



شکل ۱۶: ولتاژ، جریان خروجی، ریپل ولتاژ C_1، ریپل ولتاژ C_2 و تنش جریان منبع DC

عملکرد ساختار پیشنهادی در شرایط پویای بار و تغییرات اندیس مدولاسیون در شکل (۱۷) بررسی شده است. مطابق با شکل (۱۷)-الف، ابتدا اینورتر تحت بار اهمی–سلفی قرار داشته و سپس بار به حالت اهمی خالص تغییر یافته است. در این وضعیت، شکل موج ولتاژ خروجی همچنان پایدار بوده و مقادیر حداکثر ولتاژ و گام ولتاژ بدون تغییر باقی می‌مانند؛ اما با کاهش امپدانس بار،

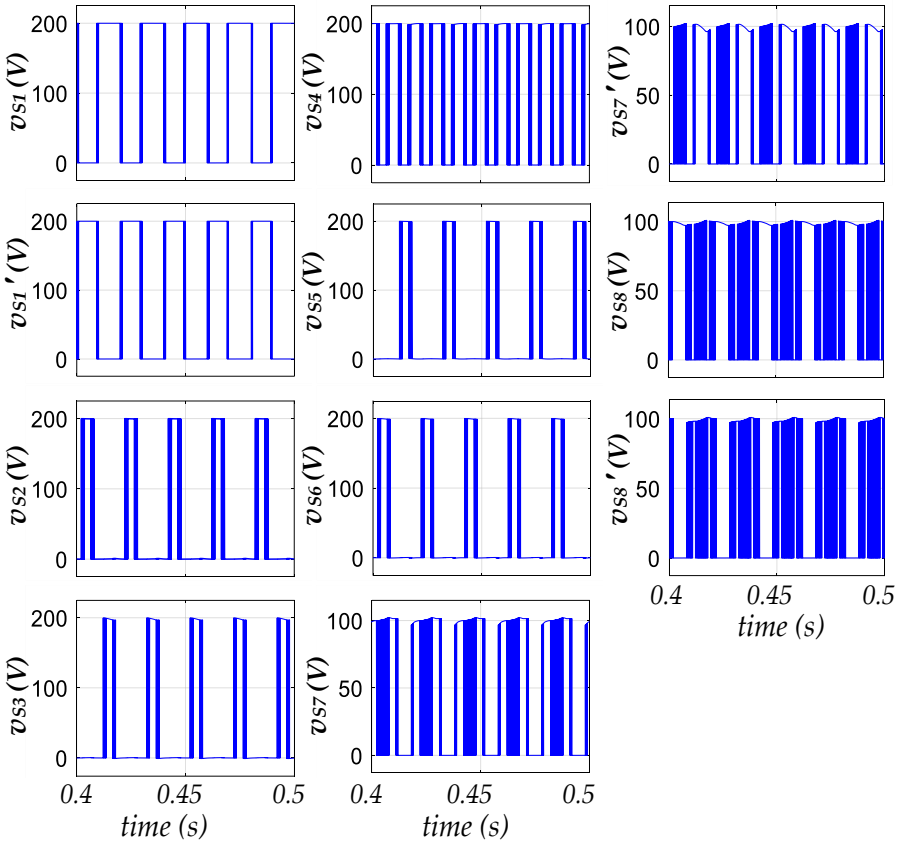
جریان بار از ۲ آمپر به ۳ آمپر افزایش می‌یابد. در این شـرایط، ریپل ولتاژ C_1 از ۳ ولت به ۵ ولت افزایش یافته و ریپل C_2 نیز از ۳/۵ ولت به ۴/۵ ولت می‌رسد. همچنین تنش جریان منبع DC از ۴/۵ آمپر به ۶/۵ آمپر افزایش پیدا می‌کند. براساس شکل (۱۷)-ب، در حالت دوم ابتدا اندیس مدولاسیون برابر با ۰/۸۳ در نظر گرفته شده و سپس مقدار آن به ۰/۶ کاهش می‌یابد؛ در نتیجه حداکثر ولتاژ خروجی از ۴۰۰ ولت به ۳۰۰ ولت کاهش یافته و تعداد سطوح ولتاژ از ۹ سطح به ۷ سطح محدود می‌شود، گام ولتاژ همچنان ۱۰۰ ولت است. با این حال، جریان بار از ۲ آمپر به ۱/۵ آمپر کاهش می‌یابد. به دلیل حذف یک سطح LDP در این شرایط، ریپل ولتاژ خازن C_1 از ۳ ولت به ۰/۷ ولت کاهش پیدا می‌کند که نشان‌دهنده‌ی افت محسوس ریپل است. علاوه بر آن، ریپل ولتاژ C_2 نیز از ۳/۵ ولت به ۱/۵ ولت کاهش یافته اسـت. تنش جریان منبع DC نیز از ۴/۵ آمپر به ۱/۵ آمپر محدود شـده و مقدار آن از حداکثر جریان بار فراتر نمی‌رود.



شکل ۱۷: تغییرات ولتاژ خروجی، جریان خروجی، ریپل ولتاژ C_1، ریپل ولتاژ C_2 و تنش جریان منبع. (الف) در تغییر پویای بار از اهمی-سلفی به اهمی و (ب) در تغییر پویای اندیس مدلاسیون از ۰/۸۳ به ۰/۶

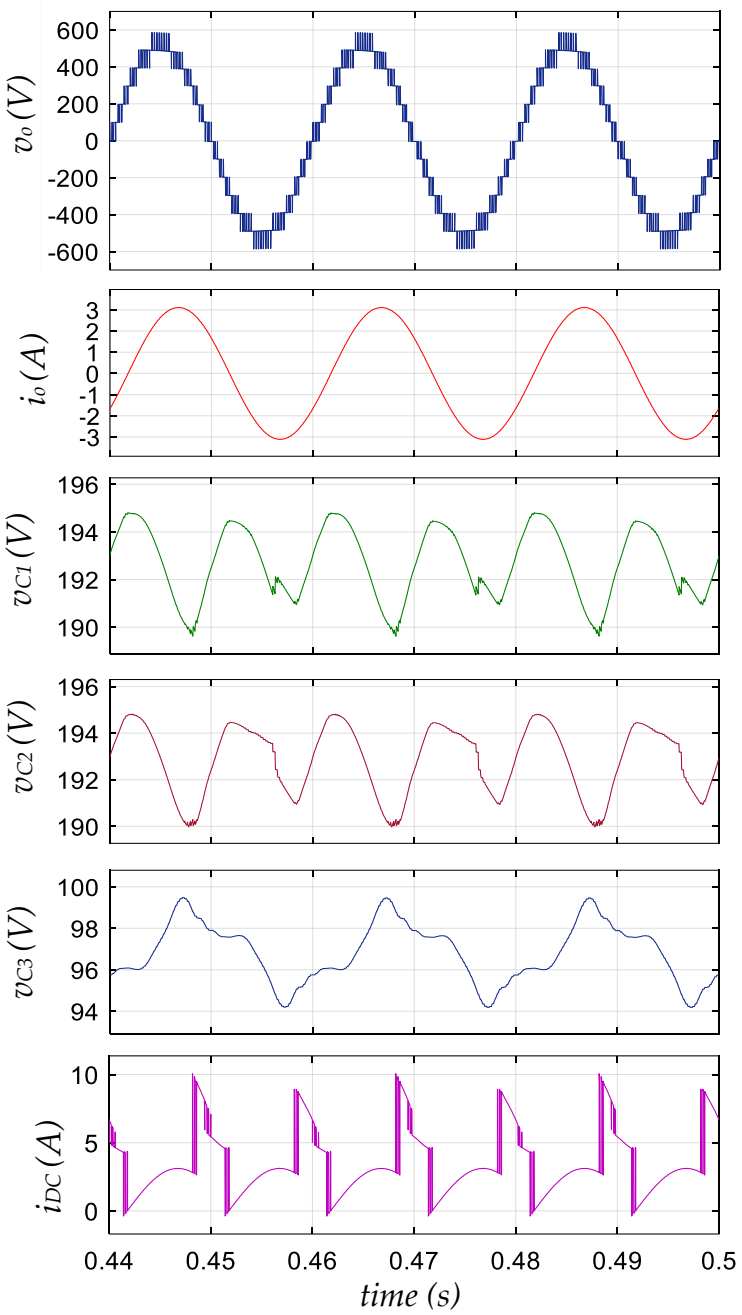
تنش ولتاژ کلیدهای ساختار نه‌سطحی پیشنهادی در شکل (۱۸) نمایش داده شده است. مطابق این شکل، با وجود آنکه حداکثر ولتاژ خروجی اینورتر برابر ۴۰۰ ولت است، هیچ‌یک از کلیدهای ساختار تنشی بیش از ۲۰۰ ولت را تجربه نمی‌کنند. این موضوع بیانگر آن است که بیشینه ولتاژ مسدودکنندگی(MBV) در عناصر ساختار به مقدار $0.5V_{max}$ محدود شده است. در همین راستا،

مقدار MBV برای هفت کلید برابر با ۲۰۰ ولت و برای چهار کلید دیگر برابر با ۱۰۰ ولت گزارش می‌شود. همچنین طبق شکل (۱۸)، کلیدهایی که دارای MBV بالاتر هستند، تعداد تغییر حالت کلیدزنی (N_{sw}) کمتری دارند. این ویژگی نشان‌دهنده توزیع متعادل‌تر تلفات کلیدزنی در ساختار پیشنهادی و طراحی کارآمد آن است.



شکل ۱۸: تنش ولتاژ کلیدهای ساختار پیشنهادی

نتایج شبیه‌سازی ساختار گسترش‌یافته پیشنهادی نوع۲ با یک مرحله گسترش در شکل (۱۹) ارائه شده است؛ این شبیه‌سازی مطابق با پارامترهای جدول (۶) و تحت بار اهمی–سلفی انجام شده و برای C_1 و C_2 از ظرفیت ۲۲۰۰ میکروفاراد و ولتاژ نامی ۲۰۰ ولت و برای C_1 و C_3 از ظرفیت ۲۲۰۰ میکروفاراد و ولتاژ نامی ۱۰۰ ولت استفاده شده است، در حالی که تنها تغییر اعمال‌شده افزایش اندیس مدولاسیون از ۰/۸۳ به ۰/۸۸ بوده است. این نوع گسترش از آن جهت اهمیت دارد که به‌سبب ماهیت ماژولار ساختار، ولتاژ نامی کلیدها و خازن‌ها به‌طور محسوسی کمتر از نمونه‌های مشابه باقی می‌ماند و در نتیجه امکان بهره‌برداری اینورتر پیشنهادی را در محدوده وسیع‌تری از توان و ولتاژ فراهم می‌سازد. مطابق شکل (۱۹)، با یک مرحله گسترش نوع۲، تعداد سطوح ولتاژ خروجی از ۹ به ۱۳ سطح افزایش یافته و حداکثر ولتاژ خروجی ۶۰۰ ولت با گام ۱۰۰ ولت حاصل شده است که نشان‌دهنده قابلیت سه‌برابری افزایش ولتاژ در ساختار پیشنهادی است. جریان بار در این حالت دارای حداکثر مقدار ۳/۱ آمپر بوده و اختلاف فاز اندک میان ولتاژ و جریان، ناشی از ضریب توان کمتر از واحد بار است. حداکثر ریپل ولتاژ خازن‌های C_1 و C_2 برابر با ۴/۶ ولت (معادل ۲/۳ درصد ولتاژ نامی) و ریپل ولتاژ خازن C_3 برابر با ۵ ولت (معادل ۵ درصد ولتاژ نامی) است. در این شرایط، حداکثر جریان منبع DC به کمتر از ۱۰ آمپر محدود می‌شود که تقریباً سه برابر حداکثر جریان بار است ($I_{Cmax}=3I_{max}$). همچنین ولتاژ نامی کلیدها و یا خازن‌ها به نهایتا ۲۰۰ ولت ($0.33V_{max}$) محدود شده است.



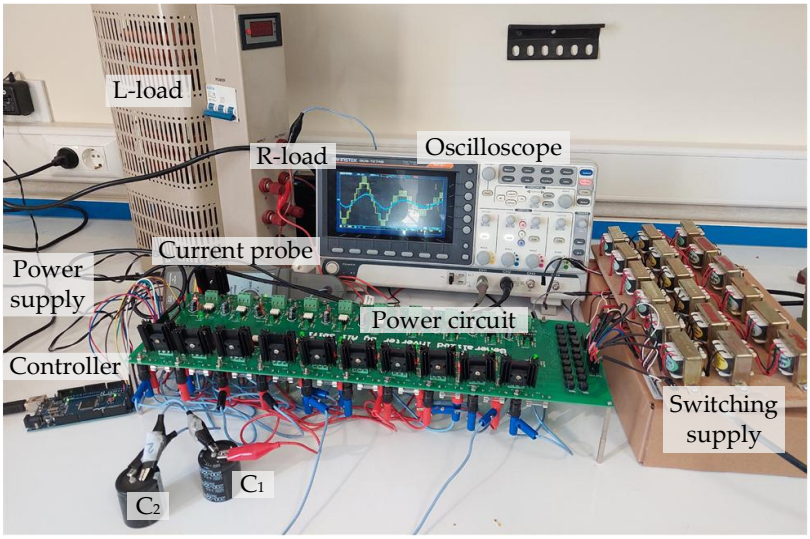
شکل ۱۹: ولتاژ، جریان خروجی، ریپل ولتاژ C_1، ریپل ولتاژ C_2، ریپل ولتاژ C_3 و تنش جریان منبع DC در ساختار گسترش‌یافته نوع-۲ با یک مرحله توسعه

۷- نتایج آزمایشگاهی

برای تایید صحت عملکرد ساختار ۹ سطحی پیشنهادی، نمونه آزمایشگاهی طراحی شده و آزمایش‌های مختلف در شرایط پایدار و پویا بر روی آن انجام شده است. مقادیر پارامترهای موردنیاز در جدول (۷) ارائه شده است. توان نامی نمونه مورد بررسی در حدود ۴۵۰ وات است. تصویر نمونه پیاده‌سازی شده از اینورتر پیشنهادی در شکل (۲۰) قابل مشاهده است.

جدول ۷: پارامترهای نمونه آزمایشگاهی

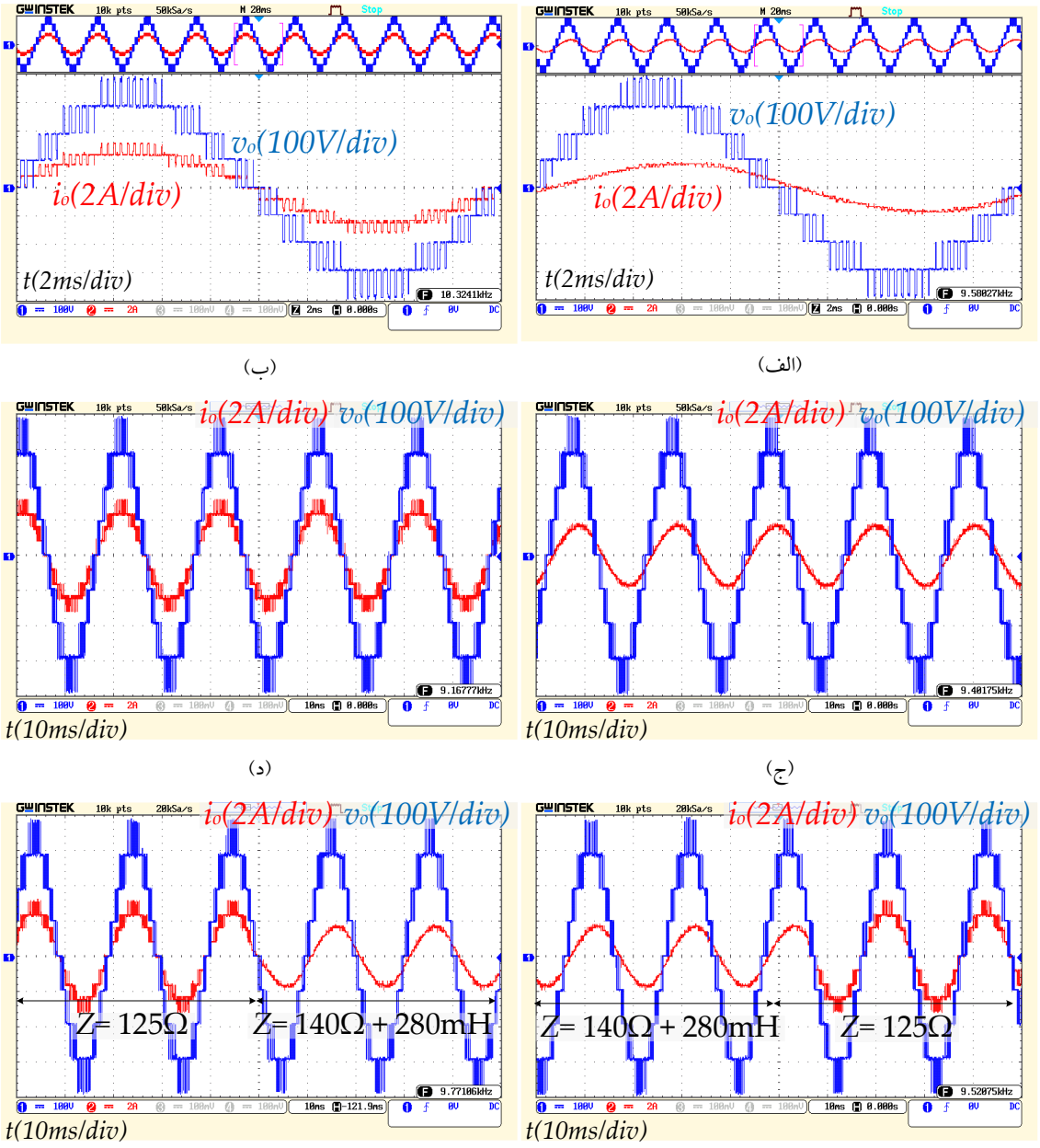
پارامترها	مقادیر
فرکانس پایه (f_o)	50 Hz
فرکانس کلیدزنی (f_{sw})	4200 Hz
ولتاژ ورودی (E)	200 V
حداکثر ولتاژ خروجی (V_{max})	400 V
اندیس مدولاسیون (M)	0.83
C_1	100 V, 2200 µF
C_2	50 V, 2200 µF
بار اهمی (R)	125 Ω
بار اهمی سلفی (RL)	140 Ω ,280 mH
کلید	IRFP 360
درایور	TLP 250
میکروکنترلر	Arduino Mega 2560 R3



شکل ۲۰: نمونه آزمایشگاهی ساختار ۹ سطحی پیشنهادی

نتایج ولتاژ و جریان خروجی اینورتر در شرایط ثابت و پویای بار در شکل (۲۱) قابل مشاهده است. در شکل (۲۱)-الف در حضور بار RL، ولتاژ نه سطحی خروجی با حداکثر مقدار ۴۰۰ ولت به درستی تولید شده و گام ولتاژ نیز حدود ۱۰۰ ولت است. به دلیل وجود بار سلفی، جریان خروجی شکل موج تقریبا سینوسی با بیشینه مقدار ۱/۹ آمپری دارد و نیز اختلاف فاز جزئی مابین ولتاژ و جریان خروجی ناشی از وجود سلف در بار است. در شکل (۲۱)-ب در حضور بار R، جریان خروجی با ۳/۲ آمپر رسیده است و شکل موج جریان مشابه با ولتاژ خروجی بوده و بصورت پلکانی است. شکل موج ولتاژ نیز مشابه با شکل (۲۱)-الف است و تفاوت اصلی در افزایش مقدار جریان است که ناشی از کاهش امپدانس بار است. در شکل‌های (۲۱)-ج و (۲۱)-د نتایج به ازای پنج دوره تناوب به ترتیب در حضور بار RL و R گزارش شده است که حداکثر ولتاژ، حداکثر جریان و پارامترهای دیگر در طول زمان پایدار بوده‌اند. در شکل‌های (۲۱)-ه و (۲۱)-و عملکرد اینورتر در حالت تغییر پویای بار از RL به R و از R به RL به ازای پنج دوره تناوب

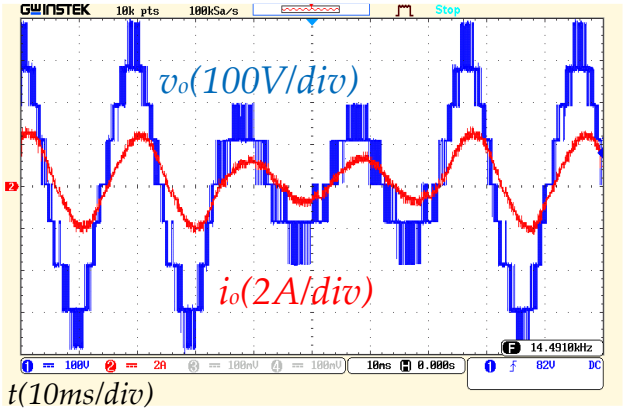
اصلی، بررسی شده است. مطابق با این شکل‌ها، ولتاژ خروجی به ازای تغییر بار تقریبا ثابت مانده و ۱۳ سطح با گام ولتاژ ۱۰۰ ولتی تولید شده‌اند. با این حال، جریان بار متناسب با تغییر امپدانس بار تغییر می‌کند.



شکل ۲۱: ولتاژ و جریان خروجی اینورتر در شرایط بار ثابت و تغییر پویای بار. (الف) تحت بار اهمی–سلفی، (ب) تحت بار اهمی، (ج) تحت بار اهمی–سلفی در پنج دوره تناوب اصلی، (د) تحت بار اهمی در پنج دوره تناوب اصلی، (ه) تغییر پویای بار از اهمی–سلفی به اهمی، (و) تغییر پویای بار از اهمی به اهمی–سلفی

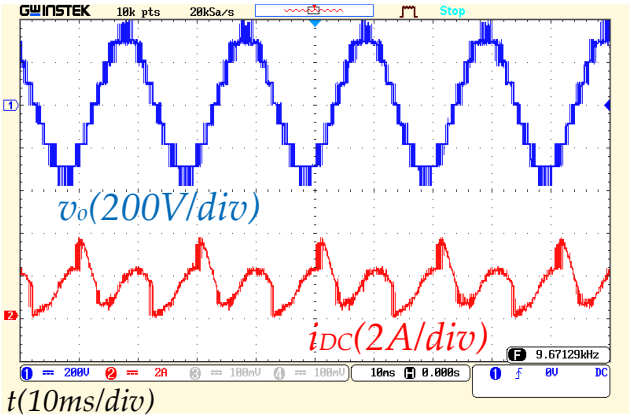
عملکرد اینورتر ۹ سطحی پیشنهادی در شرایط پویای تغییر اندیس مدولاسیون (کاهش و افزایش) در شکل (۲۲) بررسی شده است. بار خروجی اهمی–سلفی اعمال شده است. مطابق با این شکل، ابتدا با وجود اندیس مدولاسیون ۰/۸۳ تعداد نه سطح ولتاژ با گام ۱۰۰ ولتی تولید شده‌اند. جریان بار نیز دارای حداکثر مقدار در حدود ۲ آمپر است. با کاهش اندیس مدولاسیون به ۰/۳۵، تعداد سطوح از نه سطح با حداکثر مقدار ۴۰۰ ولت به پنج سطح با حداکثر مقدار ۲۰۰ ولت کاهش یافته است. درحالی که گام ولتاژ در

مقدار ۱۰۰ ولت ثابت مانده است. جریان بار نیز از ۲ آمپر به ۱/۴ آمپر کاهش یافته است که ناشی از کاهش ولتاژ خروجی است. با افزایش مجدد اندیس مدولاسیون از ۰/۳۵ به ۰/۸۳، ولتاژ خروجی از پنج سطح با بیشینه ۲۰۰ ولت به نه سطح با بیشینه ۴۰۰ ولت و با گام‌های برابر ۱۰۰ ولتی افزایش یافته است و جریان بار نیز از ۱/۴ آمپر به ۲ آمپر رسیده است. مطابق با این شکل، با تغییر پویای اندیس مدولاسیون، گام ولتاژ تقریبا ثابت باقی مانده و عملکرد اینورتر دچار اختلال نشده و به کارکرد صحیح خود ادامه می‌دهد.



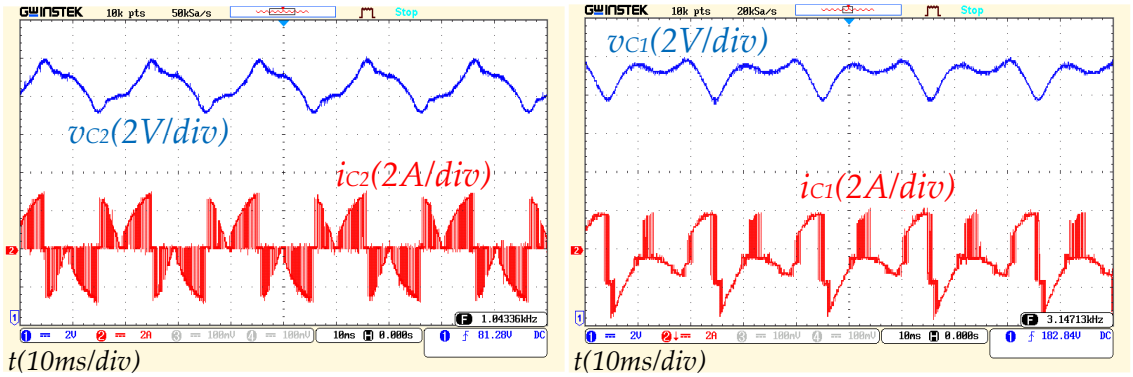
شکل ۲۲: ولتاژ و جریان خروجی تحت تغییر پویای اندیس مدولاسیون

ولتاژ خروجی و تنش جریان منبع در شکل (۲۳) قابل مشاهده است. به دلیل اینکه منبع ولتاژ ورودی، عنصر مشترک در تحلیل حلقه‌های شارژ خازن‌های ساختار است، تنش جریان منبع ولتاژ ورودی به عنوان یک معیار مهم در تحلیل بیشینه جریان شارژ خازن‌ها کاربرد دارد. مطابق این شکل، تنش جریان منبع ورودی به حدود ۳/۹ آمپر می‌رسد. با وجود بیشینه جریان ۱/۹ آمپری جریان بار در ولتاژ خروجی ۴۰۰ ولتی و توان خروجی ۴۵۰ واتی، تنش جریان منبع به حدود دو برابر بیشینه جریان بار رسیده است ($2I_{max}$). همچنین، این مقدار جریان هجومی در هر دوره تناوب، تنها یکبار رخ می‌دهد که این نکته نیز از مزایای ساختار پیشنهادی است.



شکل ۲۳: ولتاژ خروجی و تنش جریان منبع ولتاژ ورودی

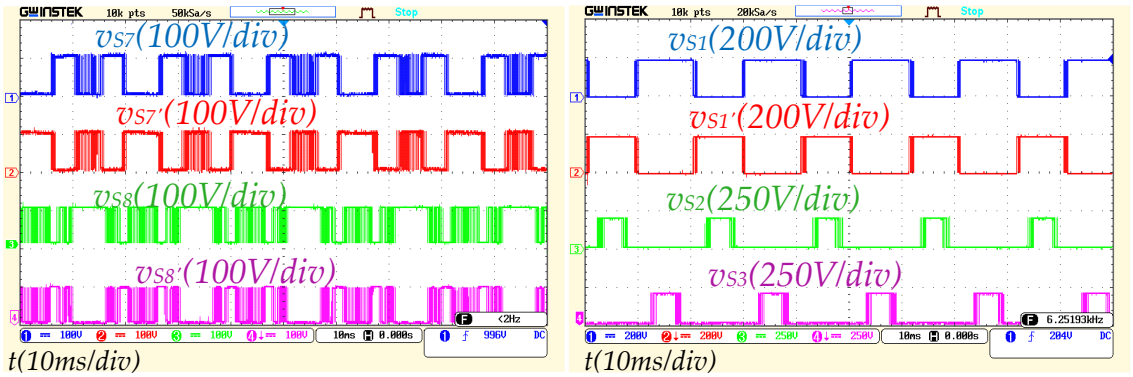
ریپل ولتاژ و تنش جریان هر خازن ساختار پیشنهادی در شکل (۲۴) نشان داده شده است. مطابق با شکل (۲۴)-الف بیشینه ریپل ولتاژ خازن C_1 به ۲/۴ ولت می‌رسد که حدود ۱/۲ درصد ولتاژ متوسط این خازن است. حداکثر تنش جریان خازن C_1 به ۳/۹ آمپر محدود شده است. همچنین در شکل (۲۴)-ب بیشینه ریپل ولتاژ خازن C_2 به ۲/۸ ولت می‌رسد که معادل ۲/۸ درصد ولتاژ متوسط آن است. تنش جریان این خازن ۲/۷ آمپر است.



(ب) (الف)

شکل ۲۴: ریپل ولتاژ و تنش جریان هر خازن. (الف) خازن C_1 و (ب) خازن C_2

تنش ولتاژ برخی از کلیدهای ساختار ۹ سطحی پیشنهادی در شکل (۲۵) قابل مشاهده است. در شرایطی که حداکثر ولتاژ خروجی ۴۰۰ ولت است، بیشینه ولتاژ مسدودکنندگی (MBV) کلیدهای S_1، S_1'، S_2، S_3 برابر با ۲۰۰ ولت است ($0.5V_{max}$). همچنین بیشینه ولتاژ مسدودکنندگی (MBV) کلیدهای S_7، S_7'، S_8'، S_8 مقدار ۱۰۰ ولت است ($0.25V_{max}$). در ساختار پیشنهادی، تنش ولتاژ هیچکدام از عناصر ساختار بیشتر از $0.5V_{max}$ نیست که نکته مهمی برای ساختار محسوب می‌شود.



(ب) (الف)

شکل ۲۵: تنش ولتاژ کلیدهای ساختار پیشنهادی. (الف) کلیدهای **S_1، S_1'، S_2، S_3** و (ب) کلیدهای **S_7، S_7'، S_8'، S_8**

۸- نتیجه گیری

در این مقاله یک اینورتر نه‌سطحی افزاینده مبتنی بر کلیدزنی خازنی با بهره دوبرابری معرفی و تحلیل شد که با بهره‌گیری از تنها یازده کلید و دو خازن، ساختاری ساده، کم‌هزینه و با راندمان بالا فراهم می‌کند. طراحی مناسب مسیرهای شارژ و دشارژ موجب برقراری تعادل خودکار ولتاژ خازن‌ها شده و ریپل ولتاژ آن‌ها در محدوده ۱ تا ۳ درصد باقی مانده است. محدود شدن بیشینه تنش ولتاژ کلیدها به $0.5V_{max}$ و مجموع ولتاژ مسدودکنندگی (TSV) به $4.5V_{max}$، نشان‌دهنده بهبود قابل توجه در مدیریت تنش الکتریکی در ساختار پیشنهادی نسبت به ساختارهای مشابه است. وجود شارژ نرم باعث حذف جریان هجومی و محدود شدن جریان شارژ خازن‌ها به $I_{Cmax} = 2I_{max}$ شده است. نتایج شبیه‌سازی و آزمایشگاهی، تولید دقیق ۹ سطح ولتاژ خروجی و پایداری مؤثر سیستم را در بارهای اهمی و اهمی–سلفی، همچنین در شرایط گذرا و تغییرات اندیس مدولاسیون تأیید می‌کنند. از نظر اقتصادی، هزینه ساختار پیشنهادی با مقدار 47.8 دلار کمترین مقدار میان ساختارهای دارای بهره دوبرابری بوده و با توجه به تلفات پایین،

حذف دیودها و ریپل ناچیز ولتاژ خازن‌ها، عملکردی برتر از نظر راندمان، پایداری ولتاژ خروجی و کیفیت شکل موج ارائه می‌دهد. این ویژگی‌ها ساختار را برای کاربردهای ولتاژ متوسط مانند اینورترهای متصل به شبکه در سامانه‌های فتوولتائیک، درایوهای موتور، مبدل‌های DC–AC افزاینده در میکروگریدها و واحدهای ذخیره انرژی مناسب می‌سازد. علاوه بر این، قابلیت گسترش ساده‌ی ساختار، امکان توسعه نسخه‌های با سطوح بیشتر را فراهم می‌کند. مسیرهای آتی پژوهش می‌تواند شامل بهره‌گیری از روش‌های مدولاسیون پیشرفته یا کنترل‌های تطبیقی برای بهبود رفتار گذرای خازن‌ها و ارتقای عملکرد دینامیکی ساختار در کاربردهای صنعتی باشد..

مراجع

[1] N. Kishore, K. Shukla, and N. Gupta, “Generalized switched-capacitor-based hybrid multilevel inverter with reduced components count and inrush current,” *IEEE Trans. Circuits Syst. I: Reg. Papers*, 2024.

[2] G. de Oliveira Assunção, A. Yazdani, and B. Wu, “Scalable bidirectional switched-capacitor multilevel inverter with enhanced voltage gain,” *IEEE Trans. Power Electron.*, 2025.

[3] H. Mansourizadeh, M. Hosseinpour, A. Seifi, and M. Shahparasti, “A 13-level switched-capacitor-based multilevel inverter with reduced components and inrush current limitation,” *Sci. Rep.*, vol. 15, no. 1, p. 290, 2025.

[4] M. Saeedian, S. M. Hosseini, and J. Adabi, “Step-up switched-capacitor module for cascaded MLI topologies,” *IET Power Electron.*, vol. 11, no. 7, pp. 1286–1296, 2018.

[5] V. S. K. Prasadarao, S. Peddapati, and B. Kumar, “A voltage-boosting seven-level switched-capacitor multilevel inverter with reduced device count,” *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 12, no. 1, pp. 743–753, 2023.

[6] A. Singh *et al*., “A novel 7-level SCMLI with selective harmonic elimination via war strategy optimization,” *Results Eng.*, p. 105765, 2025.

[7] R. Barzegarkhoo *et al*., “Switched-capacitor multilevel inverters: A comprehensive review,” *IEEE Trans. Power Electron.*, vol. 37, no. 9, pp. 11209–11243, 2022.

[8] N. Sandeep and J. S. Ali, “An improved quadruple-boost switched-capacitor-based nine-level inverter,” *IEEE Trans. Power Electron.*, vol. 38, no. 8, pp. 9335–9339, 2023.

[9] S. Islam *et al*., “A 9- and 13-level switched-capacitor-based multilevel inverter with enhanced self-balanced capacitor voltage capability,” *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 10, no. 6, pp. 7225–7237, 2022.

[10] N. P. Gopinath and K. Vijayakumar, “Common ground nine-level boost inverter for grid-connected PV applications,” *Frontiers Energy Res.*, vol. 10, p. 922786, 2022.

[11] M. Ali, M. Tariq, A. Sarwar, and B. Alamri, “A 13-, 11-, and 9-level boosted operation of a single-source asymmetrical inverter with hybrid PWM scheme,” *IEEE Trans. Ind. Electron.*, vol. 69, no. 12, pp. 12817–12828, 2022.

[12] M. D. Siddique *et al*., “Single-phase step-up switched-capacitor-based multilevel inverter topology with SHEPWM,” *IEEE Trans. Ind. Appl.*, vol. 57, no. 3, pp. 3107–3119, 2021.

[13] N. Sandeep, J. S. M. Ali, U. R. Yaragatti, and K. Vijayakumar, “Switched-capacitor-based quadruple-boost nine-level inverter,” *IEEE Trans. Power Electron.*, vol. 34, no. 8, pp. 7147–7150, 2019.

[14] Y. Wang *et al*., “A nine-level switched-capacitor step-up inverter with low voltage stress,” *J. Electr. Eng. Technol.*, vol. 18, no. 2, pp. 1147–1159, 2023.

[15] K. Varesi *et al*., “Single-input quadruple-boosting switched-capacitor nine-level inverter with self-balanced capacitors,” *IEEE Access*, vol. 10, pp. 70350–70361, 2022.

[16] M. D. Siddique *et al*., “A new single-phase single switched-capacitor-based nine-level boost inverter topology with reduced switch count and voltage stress,” *IEEE Access*, vol. 7, pp. 174178–174188, 2019.

[17] J. Pan, Q. Chen, J. Xiong, and G. Chen, “A novel quadruple-boost nine-level switched-capacitor inverter,” *J. Electr. Eng. Technol.*, vol. 18, no. 1, pp. 467–480, 2023.

[18] T. Debela Awas and J. Singh, “High-gain nine-level switched-capacitor multilevel inverter featuring less number of devices and leakage current,” *Int. J. Circuit Theory Appl.*, vol. 51, no. 8, pp. 3746–3773, 2023.

[19] M. Hassan *et al*., “Self-balanced quadruple-boost nine-level switched-capacitor inverter for solar PV system,” *Arabian J. Sci. Eng.*, vol. 48, no. 11, pp. 14717–14729, 2023.

[20] L. Prasanna, T. R. Jyothsna, and A. Venkatesh, “Single source switched capacitor boosting nine-level inverter for PV applications,” *e-Prime—Adv. Electr. Eng. Electron. Energy*, p. 101009, 2025.

[21] M. A. Azad *et al*., “A single-phase nine-level common-ground switched-capacitor inverter with double boosting capability,” *IET Power Electron.*, vol. 17, no. 16, pp. 2900–2916, 2024.

[22] D. Kumar *et al*., “A new single-source switched-capacitor-based 9-level boost inverter topology with reduced part count,” *ECTI Trans. Electr. Eng. Electron. Commun.*, vol. 23, 2025.

[23] R. K. Venkatesan and C. Lakshmikanthan, “A quadruple-boost nine-level common-ground inverter with reduced voltage stress for grid-connected PV systems,” *Results Eng.*, p. 107883, 2025.

[24] R. Barzegarkhoo *et al*., “Nine-level nine-switch common-ground switched-capacitor inverter suitable for high-frequency AC-microgrid applications,” *IEEE Trans. Power Electron.*, vol. 37, no. 5, pp. 6132–6143, 2022.

[25] M. D. Siddique *et al*., “Single-phase boost switched-capacitor-based multilevel inverter topology with reduced switching devices,” *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 10, no. 4, pp. 4336–4346, 2022.

[26] M. Ali, M. Tariq, A. Sarwar, and B. Alamri, “A 13-, 11-, and 9-level boosted operation of a single-source asymmetrical inverter with hybrid PWM scheme,” *IEEE Trans. Ind. Electron.*, vol. 69, no. 12, pp. 12817–12828, 2022.

[27] A. Srivastava and J. Seshadrinath, “A new nine-level highly efficient boost inverter for transformerless grid-connected PV application,” *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 11, no. 3, pp. 2730–2741, 2022.

[28] S. Jakkula *et al*., “A generalized high-gain multilevel inverter for small-scale solar photovoltaic applications,” *IEEE Access*, vol. 10, pp. 25175–25189, 2022.