Sahand University of Technology

DOR:
20.1001.1.23223146.1405.12.2.4.3

Journal of Nonlinear Systems in Electrical Engineering

Vol. 12, No. 2

Autumn and Winter 2025

ISSN: 2322 – 3146

http:// jnsee.sut.ac.ir

Optimization of sigma-delta modulator for medical applications

Yousef Belghisaza, Khalil Monfaredi*, Mousa Yousefi

Department of Electrical and Electronic Engineering, Azarbaijan Shahid Madani University, Tabriz, Iran.

* Corresponding author email: khmonfaredi@azaruniv.ac.ir

Abstract

This paper presents the design, simulation, and optimization of a second-order discrete-time sigma-delta modulator intended for biomedical signal acquisition. The modulator is implemented in Cadence environment using a standard 180 nm CMOS technology and operates with a signal bandwidth of 500 Hz, targeting neural signal recording applications. The design employs an oversampling ratio (OSR) of 256 and a sampling frequency of 256 kHz. The modulator achieves a maximum SNDR of 76.3 dB, corresponding to an effective number of bits (ENOB) of 12.4 bits. A key contribution is the design of a low-power two-stage operational transconductance amplifier (OTA) with load-capacitor compensation, featuring wide output swing and consuming only 5.26 µW. The complete modulator consumes 10.7 µW, including the power dissipated by the OTA and a dynamic 1-bit comparator. The resulting figure of merit (FOM) is 1.98 pJ/conversion-step, demonstrating competitive energy efficiency compared to recent state-of-the-art designs. These results confirm the suitability of the proposed modulator for implantable and portable biomedical devices.

Keywords

Analog-to-digital converter, sigma-delta modulator, analog integrated circuits, two-stage amplifier, second-order modulator, low-power biomedical electronics

1. Short Introduction

Sigma-delta modulators, introduced in the 1960s, have become a cornerstone of high-resolution analog-to-digital conversion due to their inherent noise-shaping capability and low sensitivity to analog circuit non-idealities [1]. Unlike Nyquist-rate converters, sigma-delta modulators utilize oversampling and quantization noise shaping to achieve high resolution at moderate bandwidths, making them particularly attractive for precision measurement and biomedical applications [2, 3].

As CMOS technology scales, challenges such as reduced supply voltages and increased process variations pose significant design difficulties. However, sigma-delta modulators remain a robust solution, although their conversion speed is inherently limited by the oversampling requirement. In the context of low-power implantable biomedical systems, energy-efficient data acquisition with high resolution is essential for monitoring physiological signals such as neural activity, which typically have bandwidths in the range of a few hundred hertz [4, 5].

Motivated by these requirements, this work presents the design of a second-order sigma-delta modulator optimized for brain signal acquisition with a 500 Hz bandwidth. The design focuses on achieving high resolution, low power consumption, and reduced silicon area, while maintaining sufficient robustness for practical biomedical applications.

2. Proposed Work

2.1. System-Level Design Using the Schreier Toolbox

The modulator was initially designed at the behavioral level using the Schreier Delta-Sigma Toolbox [6] in MATLAB. The objective was to determine optimal loop filter coefficients and quantify the sensitivity to non-ideal effects such as finite amplifier gain.

The system-level architecture is depicted in Figure 1. Behavioral simulations show that the peak signal-to-quantization-noise ratio (SQNR) occurs at an input level of -5 dBFS, beyond which integrator saturation degrades performance. This defines the maximum allowable input amplitude for the modulator.

Amplifier gain requirements were also investigated. As illustrated in Figure 2, increasing amplifier gain beyond 40 dB (100 V/V) yields diminishing returns, with SQNR saturating above 90 dB. This provides a clear specification for the analog circuit design.

2.2. Proposed Architecture and Comparative Evaluation

A simplified architecture was developed as an alternative to the Schreier-based design, as shown in Figure 3. This proposed architecture eliminates two summing nodes and uses unity coefficients to reduce circuit complexity.

The dynamic range simulations for both architectures are compared in Figures 4 and 5. The Schreier-based modulator delivers marginally better SQNR (approximately 95 dB versus 89 dB for the proposed structure at 40 dB gain) and improved voltage swing margins. However, the additional complexity of the Schreier design, including non-unity coefficients and extra summing nodes, significantly increases implementation effort and silicon area.

Table 1 summarizes the key trade-offs between the two architectures. Considering these trade-offs, the proposed structure was selected for circuit-level implementation due to its simplicity and lower area overhead.

2.3. Circuit Design and Simulation Results

2.3.1. Operational Transconductance Amplifier (OTA)

2.3.2. Comparator Design

2.3.3. Complete Modulator Simulation

3. Conclusion

This paper has presented the system-level design, comparative evaluation, and circuit implementation of a second-order sigma-delta modulator for biomedical applications. The proposed architecture, selected for its reduced complexity, was implemented in a 180 nm CMOS process. A low-power two-stage OTA with load-capacitor compensation was designed, achieving 40 dB gain and 70° phase margin while consuming 5.26 µW. The complete modulator achieves 76.3 dB SNDR (12.4 ENOB) over a 500 Hz bandwidth with a total power consumption of 10.7 µW, corresponding to an FOM of 1.98 pJ/conversion-step. These results validate the suitability of the proposed design for low-power biomedical systems, such as neural signal recorders.

بهینه سازی مدولاتور سیگما – دلتا برای کاربردهای مهندسی پزشکی

یوسف بلقیس‌آذر[1]، خلیل منفردی[2]* و موسی یوسفی[3]

[1] دانش آموخته کارشناسی ارشد برق الکترونیک، دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران

[2] دانشیار گروه مهندسی برق، دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران

[3] دانشیار گروه مهندسی برق، دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران

آدرس پست الکترونیکی نویسنده مسئول : *khmonfaredi@azaruniv.ac.ir

DOR: 20.1001.1.23223146.1405.12.2.4.3

نشریه سامانه‌های غیرخطی در مهندسی برق

دوره ۱۲ - شماره ۲

پاییز و زمستان ۱۴۰۴

صفحات ۷۳ الی ۸۶

ISSN: 2322-3146

http:// jnsee.sut.ac.ir

تاریخ ارسال: ۱۴۰۴/۱۱/۱۲ **تاریخ بازنگری: ۱۴۰۵/۵/۲۶** **تاریخ پذیرش: ۱۴۰۵/۶/۶**

چکیده

در این مقاله طراحی، شبیه‌سازی و بهینه‌سازی مدولاتور سیگما-دلتای مرتبه دوم زمان گسسته برای کاربردهای ثبت سیگنال‌های زیستی ارائه شده است. مدولاتور در محیط نرم افزار Cadence با تکنولوژی ۱۸۰nm CMOS پیاده‌سازی شده و با پهنای باند ۵۰۰ هرتز، برای کاربردهای ثبت سیگنال‌های عصبی در نظر گرفته شده است. نسبت فرانمونه‌برداری (OSR) برابر ۲۵۶ و فرکانس نمونه‌برداری ۲۵۶ کیلوهرتز در نظر گرفته شده و مدولاتور حداکثر نسبت سیگنال به نویز و اعوجاج (SNDR) معادل ۷۶/۳ دسی‌بل را ارائه می‌دهد که معادل ۱۲/۴ بیت مؤثر (ENOB)است. تقویت‌کننده عملیاتی ترارسانایی دوطبقه با جبران‌سازی خازن بار، دارای محدوده ولتاژ خروجی وسیع بوده و تنها W ۵/۲۶ توان مصرف می‌کند. توان مصرفی کل مدولاتور شامل تقویت‌کننده و مقایسه‌گر دینامیک یک‌بیتی، W ۱۰/۷ است که در نتیجه ضریب شایستگی (FOM) برابر ۱/۹۸ پیکوژول بر سطح تبدیل به دست می‌آید. این نتایج نشان‌دهنده کارآیی رقابتی طرح پیشنهادی نسبت به طرح‌های مشابه بوده و مدولاتور پیشنهادی را برای کاربرد در ادوات پزشکی قابل‌کاشت و قابل‌حمل مناسب می‌سازد.

واژه‌های کلیدی

مبدل آنالوگ به دیجیتال

مدولاتور سیگما –دلتا

مدارهای مجتمع آنالوگ

تقویت‌کننده دوطبقه

مدولاتور مرتبه دوم

الکترونیک پزشکی کم‌مصرف

۱- مقدمه

مبدل‌های سیگما-دلتا برای نخستین بار در سال ۱۹۶۰ با انجام تغییراتی در مدولاتور دلتا، پا به عرصه وجود نهادند. دو سال بعد، برای اولین بار از این مبدل‌ها برای تبدیل سیگنال آنالوگ به دیجیتال استفاده شد [۱]. از آن تاریخ، سیستم‌های زیادی از این مبدل‌ها برای کاربردهای مخابراتی و اندازه‌گیری استفاده نموده‌اند. این مبدل‌ها برخلاف سایر مبدل‌های آنالوگ به دیجیتال، مبنای ریاضیاتی نسبتاً پیچیده‌ای دارند و قابلیت بالایی برای کارهای بسیار دقیق با تعداد بیت‌های بالا دارند. از ویژگی‌های بارز این مبدل‌ها، حساسیت کم به اثرات غیرایده‌آل مدارهای آنالوگ و قابلیت شکل‌دهی نویز است که باعث می‌شود به‌عنوان مبدلی کم‌نویز و با دقت بالا مطرح باشند [۲].

با پیشرفت تکنولوژی، دو تغییر اساسی در مدارهای مجتمع رخ داده است: نخست، کوچک‌تر شدن عناصر که به افزایش اثرات غیرایده‌آل منجر می‌شود و دوم، کاهش ولتاژ تغذیه که نسبت سیگنال به نویز را کاهش می‌دهد. بهترین راه برای همگامی با تکنولوژی بدون کاهش بهره‌دهی، استفاده از مبدل سیگما-دلتا است. با این حال، مهم‌ترین محدودیت این مبدل‌ها سرعت پایین آن‌هاست که ناشی از لزوم عملکرد در حالت بیش‌نمونه‌برداری است [۳].

شالوده ادوات قابل‌کاشت مهندسی پزشکی، سیستم‌های جمع‌آوری اطلاعات و سیستم‌های پردازشی هستند. با توجه به محدودیت تعویض یا شارژ باتری و همچنین محدود بودن انرژی حرارتی متصاعد شده از مدارات پزشکی، این مدارات باید توان بسیار کمی مصرف نمایند [۴]. با توجه به سهولت پردازش و انتقال اطلاعات دیجیتال، داده‌های به‌دست‌آمده باید توسط مبدل‌های آنالوگ به دیجیتال به سیگنال دیجیتال تبدیل شوند. برای دقت‌های بالا معمولاً استفاده از مدولاتورهای سیگما-دلتا ضروری است [۵].

در این مقاله، مدولاتور سیگما-دلتای مرتبه دوم با دقت بالا برای اندازه‌گیری سیگنال‌های مغزی طراحی شده است. چنین کاربردی دارای پهنای باند ۵۰۰ هرتز است [۶]. برای دستیابی به ضریب شایستگی خوب، لازم است دقت تا حد امکان بالا رفته و توان مصرفی کم باشد. همچنین برای کاهش هزینه، باید مساحت مصرفی تراشه تا حد امکان کم باشد؛ کاهش مساحت تراشه همچنین باعث کاهش پیچیدگی عمل جراحی و فرآیند کاشت مدار در بدن می‌شود.

در این مقاله دو طرح برای مدولاتور مرتبه ۲ بررسی می‌شود. یکی نسخه پیشنهادی جعبه ابزار شرایر[1] و دیگری نسخه پیشنهادی مولفین. بعد از بحث و بررسی از بین دو طرح یکی را انتخاب نموده و در محیط نرم‌افزار Cadence با تکنولوژی ۱۸۰ نانومتر به صورت مداری شبیه‌سازی خواهد شد.

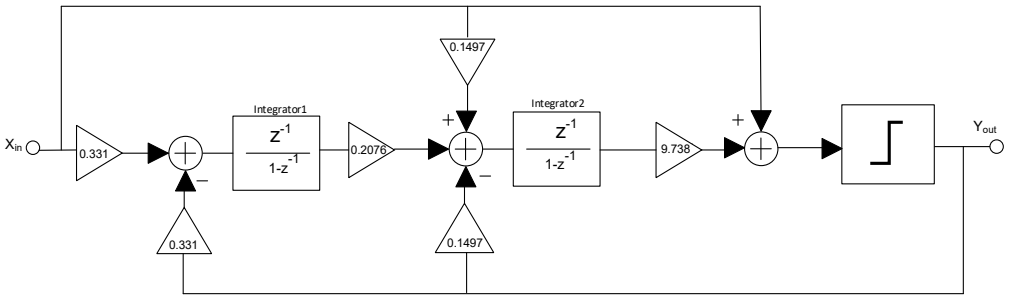
۱- طراحی مدولاتور در سطح سیستمی

در طراحی مدولاتور سیگما-دلتا، پارامترهای متعددی وجود دارند که می‌توان با استفاده از آن‌ها به مشخصات و عملکرد مطلوب دست یافت. پهنای باند مورد نظر ۵۰۰ هرتز است و دقت هدف با در نظر گرفتن تمام منابع نویز شامل نویز کوانتیزاسیون و نویز حرارتی، بالای ۱۲ بیت می‌باشد. برای دستیابی به این هدف، نسبت سیگنال به نویز و اعوجاج (SNDR) باید بیشتر یا مساوی ۷۴ دسی‌بل باشد.

[1] Schreier Toolbox

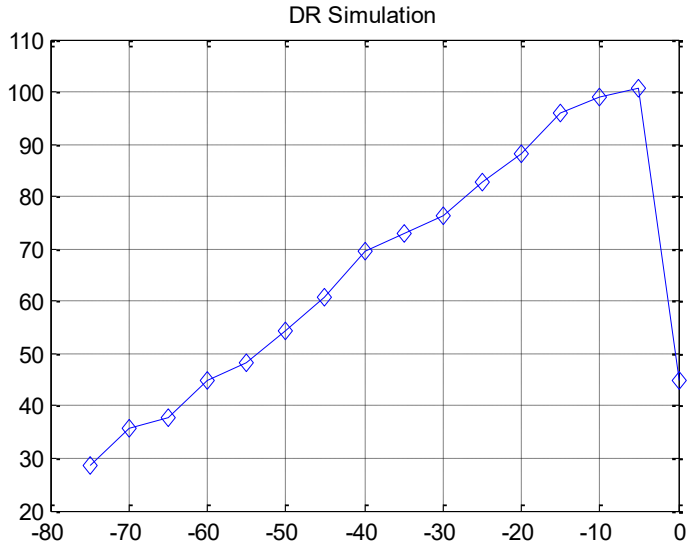
۲-۱- طراحی مدولاتور با جعبه‌ابزار شرایر

ساختار مدولاتور با ضرایب محاسبه‌شده در شکل (۱) نشان داده شده است. برای ارزیابی، لازم است این مدولاتور از نقطه‌نظر بهره DC و محدوده دینامیکی بررسی شود. بدیهی است که از طریق شبیه‌سازی محدوده دینامیکی می‌توان به حداکثر نسبت سیگنال به نویز کوانتیزاسیون (SQNR) نیز دست یافت.



شکل (۱): مدولاتور طراحی شده با جعبه ابزار شرایر.

نمودار محدوده دینامیکی مدولاتور در شکل (۲) نشان داده شده است. در این شبیه‌سازی، فرض شده است که تقویت‌کننده‌ها بهره‌ای برابر با ۱۰۰ دسی‌بل داشته باشند و ضرایب دقیقاً برابر با مقادیر نشان‌داده‌شده در شکل (۱) در نظر گرفته شده‌اند.



شکل (۲): محدود دینامیکی مدولاتور طراحی شده با جعبه ابزار شرایر.

همان‌طور که در شکل (۲) مشاهده می‌شود، مدولاتور حداکثر SQNR را در ورودی ۵- دسی‌بل تمام دامنه (dBFS) فراهم می‌کند. نحوه محاسبه dBFS در رابطه (۱) شرح داده شده است:

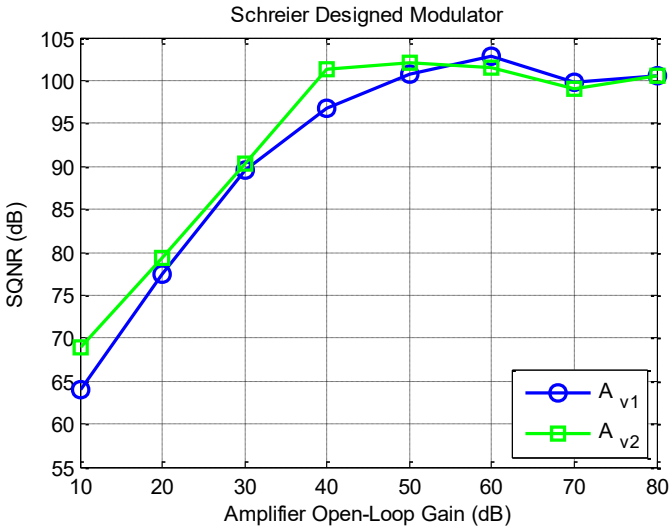
$$dBFS = 10 \times log_{10}^{\frac{input}{FS\ input}} \qquad (۱)$$

طبق این رابطه، مقدار ورودی بر مقدار تمام دامنه (معمولاً ولتاژ تغذیه) تقسیم شده، سپس لگاریتم بر مبنای ۱۰ گرفته شده و نتیجه در ۲۰ ضرب می‌شود. برای dBFS برابر ۵-، مقدار پیک سیگنال سینوسی مطابق رابطه (۲) محاسبه می‌شود:

$$\frac{input}{FS\ input} = 10^{\frac{dBFS}{10}} \qquad (۲)$$

این مقدار برای dBFS برابر ۵-، معادل ۳۱۰ میلی‌ولت است. یعنی در صورت ولتاژ تغذیه ۱ ولت، ورودی می‌تواند حداکثر دامنه ۳۱۰ میلی‌ولت داشته باشد تا انتگرال‌گیرها دچار اشباع نشوند. البته در عمل، مقدار ورودی در شبیه‌سازی مداری باید کمتر از این مقدار باشد، زیرا اثرات غیرایده‌آل مداری باعث می‌شوند مقدار ورودی پردازش‌شده بیشتر از حالت ایده‌آل باشد.

بهره لازم برای تقویت‌کننده‌های مدار در شکل (۳) نشان داده شده است. مطابق شکل (۳)، نمودار آبی رنگ که با نمایشگرهای دایره‌ای مشخص شده است مربوط به تقویت‌کننده شماره ۱ است. این تقویت‌کننده همانطور که از نامش بر می‌آید در انتگرالگیر اول استفاده می‌شود. همچنین نمودار سبزرنگ که با علامت مربع نشان داده شده است مربوط به تقویت کننده شماره ۲ است که در انتگرالگیر دوم مورد استفاده قرار می گیرد.



شکل (۳): حداقل بهره لازم برای تقویت کننده‌های ساختار شرایر.

در این شبیه‌سازی، یک بهره برابر ۵۰ دسی‌بل فرض شده و بهره دیگر از ۱۰ تا ۸۰ دسی‌بل تغییر داده شده است. برای دستیابی به SQNRبالای ۹۵ دسی‌بل، بهره تقویت‌کننده‌ها باید از ۴۰ دسی‌بل بیشتر باشد. مقدار بهره بر حسب دسی‌بل مطابق رابطه (۳) محاسبه می‌شود:

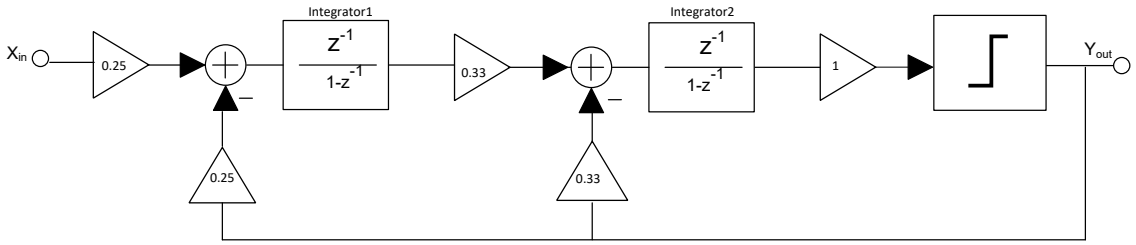
$$Gain\,(dB) = 20\times log_{10}^{Gain\ (V/V)} \qquad (۳)$$

با معکوس کردن این رابطه، بهره ۴۰ دسی‌بل معادل ۱۰۰ ولت بر ولت (V/V) است. با بهره کمتر از این مقدار نیز می‌توان به SQNR حدود ۹۰ دسی‌بل رسید که با توجه به دقت نهایی ۷۵ دسی‌بل، مقدار قابل‌قبولی است.

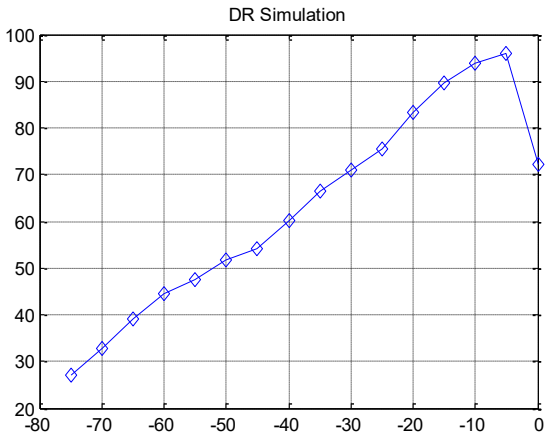
۲-۲- طراحی سیستمی ساختار پیشنهادی

طراحی و شبیه‌سازی ساختار پیشنهادی، در شکل (۴) نشان داده شده است. این ساختار با طراحی جعبه‌ابزار شرایر مقایسه شده و یکی از دو ساختار برای پیاده‌سازی مداری انتخاب می‌شود. مدولاتور پیشنهادی در شکل (۵) نشان داده شده است که حداکثر SQNRدر ورودی ۵- دسی‌بل رخ می‌دهد و برابر با ۹۶ دسی‌بل است. در این شبیه‌سازی، بهره ولتاژ ۱۰۰ دسی‌بل فرض شده است. نتایج نشان می‌دهد که SQNR در این حالت نیز نزدیک به مقدار طراحی‌شده با جعبه‌ابزار شرایر است.

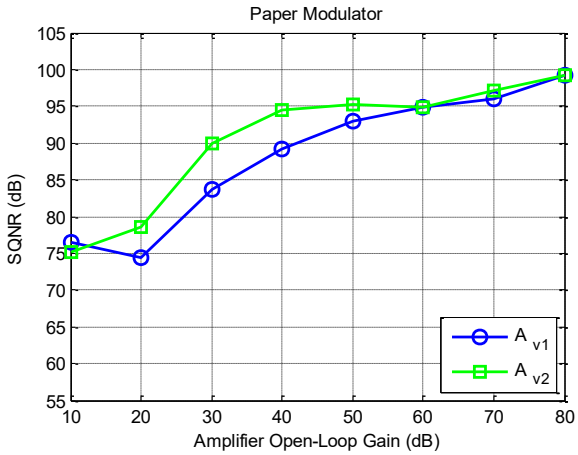
شبیه‌سازی SQNR بر حسب بهره تقویت‌کننده در شکل (۶) ارائه شده است. برای دستیابی به SQNR بالای ۹۰ دسی‌بل، بهره تقویت‌کننده‌ها باید از ۴۰ دسی‌بل بیشتر باشد. با معکوس کردن رابطه (۳)، بهره ۴۰ دسی‌بل معادل ۱۰۰ ولت بر ولت است.



شکل (٤): ساختار سیستمی مدولاتور پیشنهادی.



شکل (٥): محدوده دینامیکی مدولاتور پیشنهادی.



شکل (٦): حداقل بهره لازم برای تقویت کننده های مدولاتور پیشنهادی.

۲-۳- مقایسه دو مدولاتور

مدولاتور طراحی‌شده با جعبه‌ابزار شرایر در مقایسه با مدولاتور پیشنهادی، مشخصات بهتری دارد. با توجه به شکل‌های (۲) و (۵)، هر دو مدولاتور تا ورودی ۵- دسی‌بل افت SQNR ندارند، اما مدولاتور شرایر در این ورودی SQNR برابر ۱۰۰ دسی‌بل دارد، در حالی که مدولاتور پیشنهادی SQNR برابر ۹۵ دسی‌بل ارائه می‌دهد.

از سوی دیگر، با در نظر گرفتن بهره محدود تقویت‌کننده‌ها، مدولاتور شرایر در بهره ۴۰ دسی‌بل، SQNR برابر ۹۵ دسی‌بل دارد (شکل (۳))، در حالی که مدولاتور پیشنهادی در شرایط مشابه SQNR برابر ۸۹ دسی‌بل دارد (شکل (۶)). این نشان‌دهنده کارآیی بهتر مدولاتور شرایر با تقویت‌کننده‌های یکسان است.

در نهایت، اگر خروجی (سوئینگ) در شبیه‌سازی‌ها در نظر گرفته شود، مشاهده می‌شود که سوئینگ تمام‌تفاضلی در مدولاتور شرایر برای تقویت‌کننده اول برابر ۰/۶± ولت و برای تقویت‌کننده دوم برابر ۰/۵± ولت است. با توجه به تمام‌تفاضلی بودن ساختار و ولتاژ مرجع ۱± ولت، خروجی تقویت‌کننده اول باید بین ۰/۳± ولت و تقویت‌کننده دوم بین ۰/۲۵± ولت قرار گیرد. در مدولاتورهای مرتبه پایین کم‌مصرف، معمولاً تقویت‌کننده‌ها یکسان در نظر گرفته می‌شوند، بنابراین حداقل سوئینگ ۰/۳± ولت باید برای تقویت‌کننده برقرار باشد. در مدولاتور شرایر، سوئینگ تقویت‌کننده اول ۰/۵± ولت و تقویت‌کننده دوم ۰/۲± ولت است. بنابراین مدولاتور شرایر در سوئینگ نیز عملکرد بهتری دارد. لازم به ذکر است که این اعداد برای ورودی ۵- دسی‌بل تمام دامنه محاسبه شده‌اند.

۲-٤- انتخاب مدولاتور

از آنجا که هر دو مدولاتور در SQNR با در نظر گرفتن بهره محدود، حدود ۶ دسی‌بل اختلاف دارند و این مقدار در SNDR تأثیر چندانی ندارد، همچنین برای حداکثر SQNR شرایط مشابهی برقرار است، تنها عاملی که می‌تواند برتری مدولاتور شرایر باشد، سوئینگ است که به دلیل پیچیدگی پیاده‌سازی، قابل‌چشم‌پوشی است. مقایسه پیاده‌سازی با جعبه‌ابزار شرایر (شکل (۱)) و پیاده‌سازی پیشنهادی (شکل (۴)) نشان می‌دهد که پیاده‌سازی مدولاتور پیشنهادی ساده‌تر و کم‌هزینه‌تر است و پیچیدگی طراحی مداری را کاهش می‌دهد.

مدولاتور پیشنهادی تعداد جمع‌کننده‌های کمتری دارد، در حالی که مدولاتور شرایر دارای دو جمع‌کننده اضافی است. مهم‌تر اینکه مدولاتور شکل (۱) ضرایب غیرمتعارف‌تری نیز دارد، به‌ویژه ضریب ۹ قبل از جمع‌کننده که با ضریب یک موازی شده و پیچیدگی پیاده‌سازی و تعداد خازن‌ها را افزایش می‌دهد. بنابراین، با وجود پارامترهای بهتر مدولاتور شرایر، به دلیل سادگی پارامترهای مدولاتور نهایی و پیچیدگی پیاده‌سازی مدولاتور شرایر، ساختار پیشنهادی برای پیاده‌سازی انتخاب شده است.

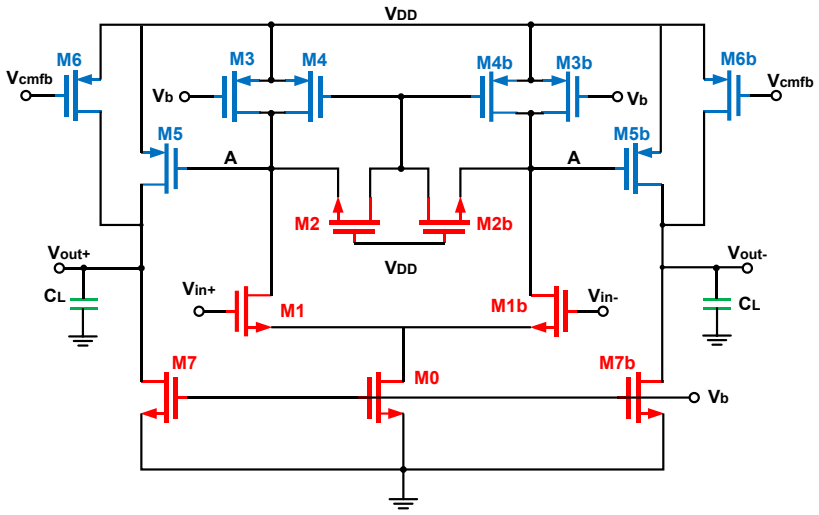
۳- طراحی و شبیه‌سازی مدار مدولاتور

۳-۱- طراحی و پیاده‌سازی مدار تقویت‌کننده

نخستین عنصر مورد بررسی، تقویت‌کننده ترارسانایی (OTA) است که نقش بسیار مهمی در مدولاتور دارد، زیرا کاملاً آنالوگ بوده و وظیفه تغذیه بخشی از خازن‌های مدار را بر عهده دارد. این عنصر بیشترین توان مصرفی مدار را به خود اختصاص می‌دهد [۷، ۸] و طراحی دقیق آن ضروری است. در این مقاله از تقویت‌کننده دوطبقه با جبران‌سازی توسط خازن بار استفاده شده است که سوئینگ بسیار خوبی داشته و از نظر توان مصرفی نسبت به سایر ساختارها با در نظر گرفتن سرعت و توان درایو یکسان، بهینه است.

این تقویت‌کننده در سرعت‌های پایین کاربرد دارد و یکی از دلایل توان مصرفی پایین آن، سبک بودن مدار بایاس است. شماتیک این مدار در شکل (۷) نشان داده شده است.

در این تقویت‌کننده، قطب غالب توسط خازن بار و مقاومت خروجی طبقه اول تعیین می‌شود. با توجه به کم‌مصرف بودن مدار، بایاس جریان ترانزیستورها روی مقادیر کم تنظیم می‌شود؛ بنابراین مقاومت بین درین و سورس ترانزیستورها زیاد شده و قطب به فرکانس‌های پایین‌تر سوق می‌یابد که باعث بهبود حاشیه فاز نیز می‌شود. بدین‌ترتیب می‌توان با خازن کمتر، قطب غالب را ایجاد کرد که خود باعث کاهش توان می‌شود، به‌ویژه اینکه با کاهش جریان، عمل جبران‌سازی بهتر انجام شده و این دو در جهت هماهنگ حرکت می‌کنند که باعث کاهش جریان مصرفی و در نهایت توان مصرفی تقویت‌کننده می‌شود.



شکل(۷): شماتیک تقویت‌کننده دوطبقه با جبران‌سازی خازن بار.

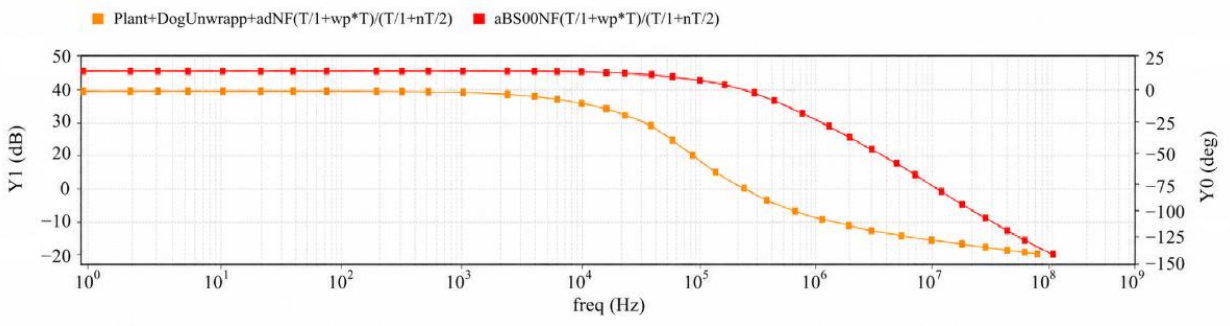
در مدار شکل (۷)، ترانزیستور M0 به‌عنوان منبع جریان زوج تفاضل، ترانزیستورهای M1 و M1b به‌عنوان زوج تفاضلی، و ترانزیستورهای M3، M4، M3b و M4b به‌عنوان بار زوج تفاضلی عمل می‌کنند. ترانزیستورهای M2 و M2b نقش فیدبک مد مشترک (CMFB) را ایفا می‌کنند. این ترانزیستورها از ولتاژ نقاط A متوسط‌گیری کرده و مقدار متوسط را به گیت ترانزیستورهای M4 وM4b اعمال می‌کنند. بدین‌ترتیب، اگر ولتاژ متوسط دو نقطه A کم شود، ولتاژ گیت M4 و M4b کم شده و جریان بیشتری توسط این ترانزیستورها تزریق می‌شود که باعث افزایش ولتاژ و جبران مشکل می‌گردد. در حالت عکس نیز فرآیند مشابهی رخ می‌دهد.

قطب غیرغالب سیستم در نقاط A تشکیل می‌شود و باید از قطب غالب فاصله قابل‌قبولی داشته باشد. خازن‌های جبران‌کننده، همان خازن بار تقویت‌کننده است که توسط مدولاتور تعیین می‌شود. با تغییر اندازه ترانزیستورهای M2 و M2b می‌توان فاصله بین قطب‌ها را تنظیم و حاشیه فاز قابل‌قبولی به‌دست آورد، البته به شرطی که تقویت‌کننده حداقل بهره لازم را داشته باشد.

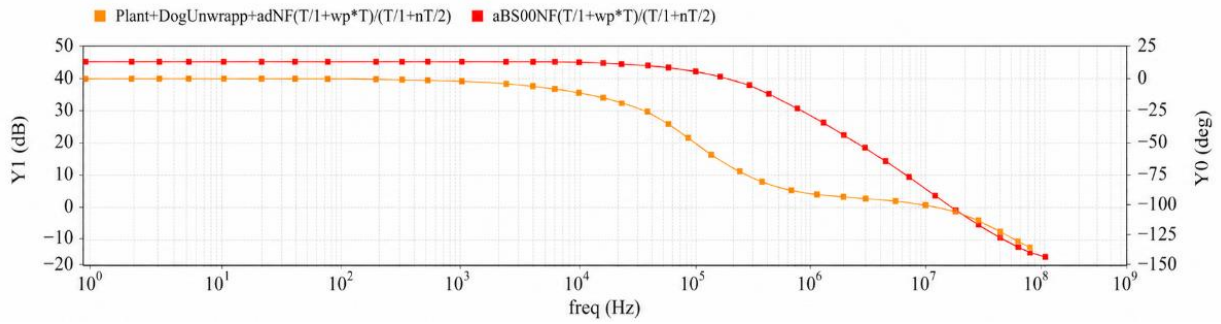
ترانزیستورهای M5 و M5b نقش تقویت‌کننده طبقه دوم را ایفا می‌کنند. ترانزیستورهای M6 و M6b برای تنظیم فیدبک مد مشترک طبقه خروجی به کار رفته‌اند و ترانزیستورهای M7 و M7b نقش بار این طبقه را بر عهده دارند. شبیه‌سازی مدار با نرم‌افزار Cadenceو تکنولوژی ۱۸۰ نانومتر انجام شده است.

مدار با خازن بار خروجی ۲ پیکوفاراد شبیه‌سازی شده است. شبیه‌سازی نهایی در حالت AC برای سنجش بهره، پهنای باند و حاشیه فاز انجام شده است. مطابق شکل (۸)، بهره DC برابر ۴۰ دسی‌بل، پهنای باند بهره واحد برابر ۷ مگاهرتز و حاشیه فاز برابر ۷۰ درجه است. با توجه به نسبت نمونه‌برداری اضافی (OSR) برابر ۲۵۶ و فرکانس نایکوئیست ۱ کیلوهرتز، مدولاتور باید در فرکانس ۲۵۶ کیلوهرتز کار کند و پهنای باند ۷ مگاهرتز بیش از ده برابر فرکانس مذکور است، بنابراین از نظر نشست مدار مشکلی وجود نخواهد داشت.

شبیه‌سازی برای خازن بار ۴ پیکوفاراد نیز انجام شده است (شکل (۹)). در این حالت، بهره DC برابر ۴۰ دسی‌بل، پهنای باند بهره واحد برابر ۳/۷ مگاهرتز و حاشیه فاز برابر ۸۰ درجه است که نسبت به حالت قبل بهتر است. تقویت‌کننده توانی برابر ۵/۲۶ میکروواوت مصرف می‌کند.



شکل (۸): نمودار بهره و فاز تقویت‌کننده بر حسب فرکانس برای خازن بار ۲ پیکوفاراد.



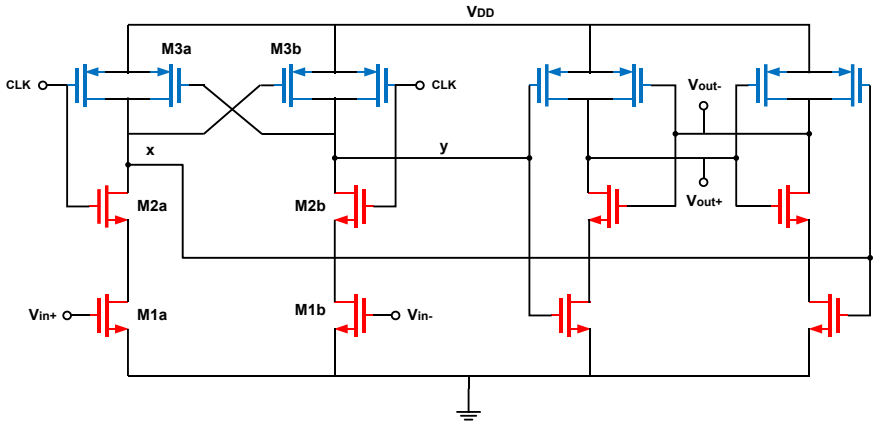
شکل (۹): نمودار بهره و فاز تقویت‌کننده بر حسب فرکانس برای خازن بار ۴ پیکوفاراد.

۳-۲- طراحی مدار مقایسه‌گر

اگرچه مدولاتور سیگما-دلتا دقت بالایی دارد، ولی با وجود شکل‌دهی نویز و بیش‌نمونه‌برداری، کوانتایزر در این مدولاتور بسیار ساده پیاده‌سازی می‌شود. بنابراین مقایسه‌گرها که عنصر اصلی کوانتایزر هستند، نیازی به پیچیدگی ندارند. در این مقاله از مقایسه‌گر مرجع [۹] استفاده شده است که در شکل (۱۰) نشان داده شده است. به دلیل یک‌بیتی بودن کوانتایزر، تنها یک مقایسه‌گر در مدار استفاده می‌شود.

در این مقایسه‌گر، زمانی که سیگنال کلاک صفر است، گره‌های X و Y به ولتاژ تغذیه تنظیم می‌شوند و اثر حافظه بیت‌های قبلی حذف می‌گردد. با انتقال کلاک از صفر به یک، گره‌های شارژشده توسط ترانزیستورهای M1a و M1b شروع به دشارژ به زمین

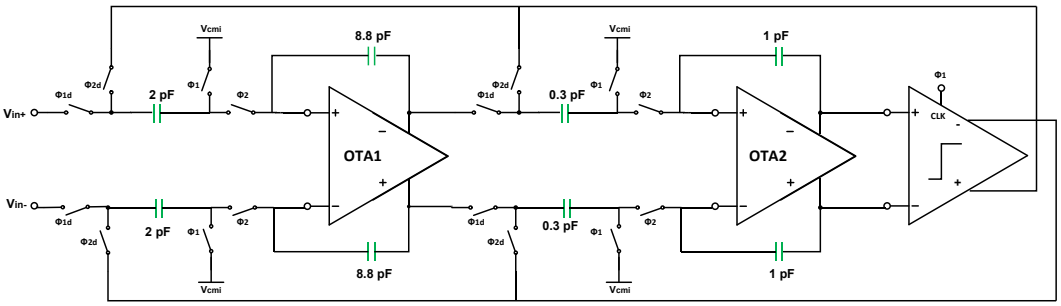
می‌کنند. مقدار جریان دشارژ به دامنه سیگنال تفاضلی ورودی بستگی دارد. ترانزیستورهای اتصال‌ضربدری M3a و M3b یک حلقه فیدبک مثبت تشکیل داده و اختلاف ورودی‌ها را به مقدار تمام دامنه تقویت می‌کنند.



شکل (۱۰): شماتیک مقایسه‌گر [9].

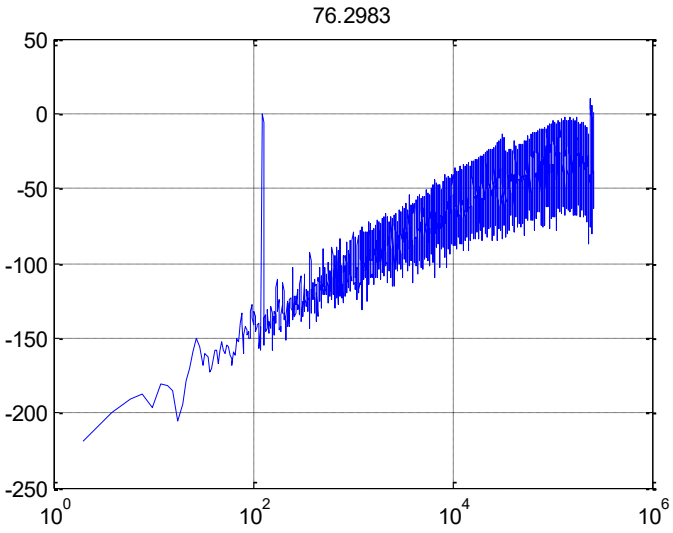
۳-۳- شبیه‌سازی مدولاتور

به جهت سهولت شبیه‌سازی، ساختارهای اصلی به‌صورت سمبل پیاده‌سازی شدند. شماتیک مدولاتور در شکل (۱۱) نشان داده شده است. مدار به تعداد ۸۱۹۲ نقطه با زمان شبیه‌سازی ۳۲ میلی‌ثانیه شبیه‌سازی شد. دامنه‌های مختلف ورودی به مدار اعمال و داده‌های خروجی نمونه‌برداری شده و در متلب پردازش شدند.

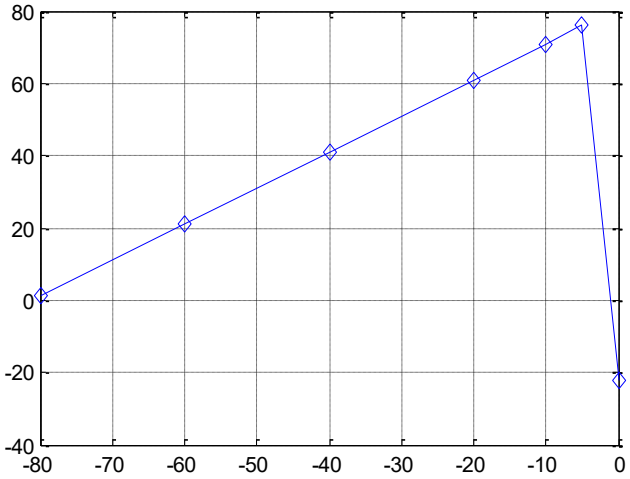


شکل (۱۱): شماتیک مدولاتور پیشنهادی.

مقدار SNDR با احتساب نویز حرارتی در شکل (۱۲) برای ورودی ۵- دسی‌بل تمام دامنه نشان داده شده است. با داشتن دامنه‌های مختلف ورودی، محدوده دینامیکی مدولاتور در شکل (۱۳) ترسیم شده است.



شکل (۱۲): طیف خروجی مدولاتور با ورودی ۵- دسی‌بل تمام دامنه.



شکل (۱۳): منحنی محدوده دینامیکی مدولاتور در شبیه‌سازی مداری.

توان مصرفی مدولاتور برابر ۱۰/۷ میکروواط است که حدود ۰/۳ میکروواط توسط مقایسه‌گر و مابقی توسط دو تقویت‌کننده مصرف می‌شود. با در نظر گرفتن SNDR برابر ۷۶/۳ دسی‌بل، تعداد بیت‌های مؤثر (ENOB) برابر ۱۲/۴ است. با در نظر گرفتن پهنای باند ۵۰۰ هرتز، ضریب شایستگی مطابق رابطه (۴) محاسبه می‌شود:

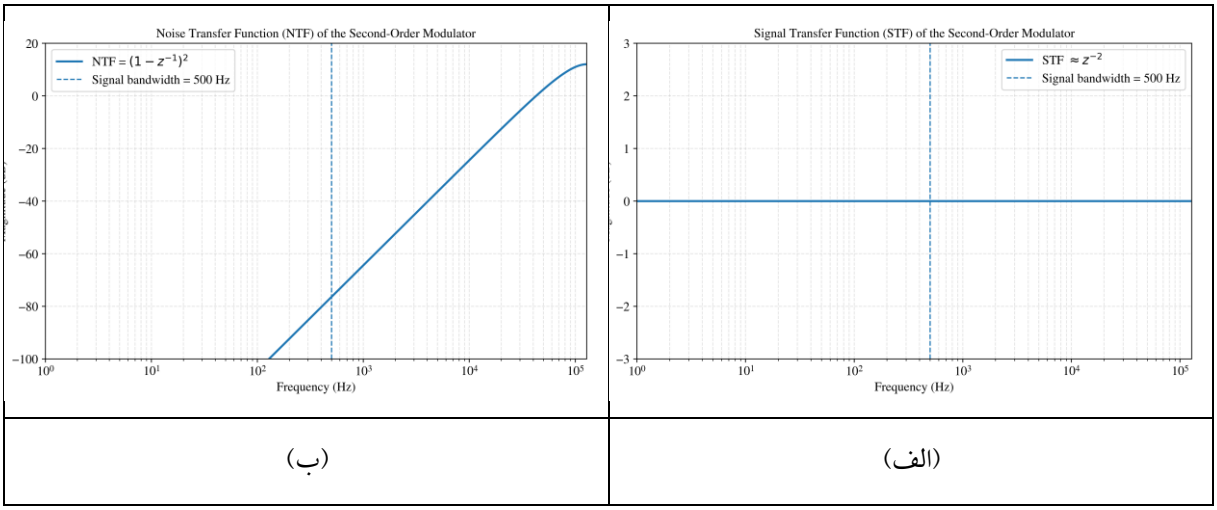
$$FoM = \frac{Power}{2\times BW \times 2^{ENOB}} = \frac{10.7\times10^{-6}}{2\times500\times2^{12.4}} = 1.98\times10^{-12}\frac{J}{Cov-Step} \qquad (۴)$$

که در آن Power بر حسب وات، ENOB بر حسب بیت و BW بر حسب هرتز است. مقدار FOM برابر ۱/۹۸ پیکوژول بر سطح تبدیل به‌دست می‌آید که نشان‌دهنده کارآیی خوب مدار در مقایسه با طراحی‌های مشابه در جدول (۱) است.

به‌منظور توصیف دقیق‌تر رفتار حوزه فرکانس مدولاتور سیگما–دلتای مرتبه دوم پیشنهادی، تابع انتقال سیگنال (STF) و تابع انتقال نویز (NTF) بررسی شدند. برای حلقه ایده‌آل شکل‌دهی نویز مرتبه دوم، تابع انتقال سیگنال و نویز را می‌توان به‌صورت رابطه ۵ بیان کرد:

$$STF(z) \approx z^{-2}, NTF(z) = (1-z^{-1})^2 \qquad (۵)$$

این رابطه نشان‌دهنده سرکوب نویز کوانتیزاسیون در فرکانس‌های پایین به میزان متناظر با شکل‌دهی نویز مرتبه دوم و انتقال آن به سمت فرکانس‌های بالاتر است. با در نظر گرفتن پهنای باند سیگنال برابر با ۵۰۰ هرتز و فرکانس نمونه‌برداری ۲۵۶ کیلوهرتز در مدار پیشنهادی، نویز کوانتیزاسیون شکل‌دهی‌شده عمدتاً به خارج از باند سیگنال منتقل می‌شود.



(الف) (ب)

شکل (۱٤): انتقال سیگنال (STF) و انتقال نویز (NTF) مدولاتور سیگما–دلتا مرتبه دوم.

جدول (۱): مقایسه مدولاتورها [14]

مشخصات	این مقاله	۲۰۱۳[14]	۲۰۰۹[13]	۲۰۱۰[12]	۲۰۰٦[11]	۲۰۱۰[10]	۲۰۰۸[8]
ولتاژ تغذیه(V)	۱/۲	۱	۱	۱	۰/۹	۰/۸	۰/۹
پهنای باند (kHz)	۰/۵	۱۰	۱٦	۲۰	۱۰	۰/۲۵	۲۰
SNDR (dB)	۷٦/۳	٦٤/۸	۵۸	۸٤	۸۰/۱	٤۸/۲	۷۳
توان مصرفی (µW)	۱۰/۷	۱۷/۱	۱۸/۱	٦٦۰	۲۰۰	۰/۸۱	٦۰
تکنولوژی (µm)	۰/۱۸	۰/۰۹	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۳
FOM (pJ/conv.)	۱/۹۸	۰/٦	۰/۸۷	۹۲/۹	۱/۲۱	۷/۷۷	۰/٤۱

٤- نتیجه‌گیری

در این مقاله، طراحی در سطح سیستمی با مدولاتور مرتبه دوم با استفاده از جعبه‌ابزار شرایر و مقایسه با مدولاتور پیشنهادی انجام شد. از بین دو طرح، به دلیل سادگی پارامترها و کاهش پیچیدگی پیاده‌سازی، مدولاتور پیشنهادی برای پیاده‌سازی مداری انتخاب گردید. در طرح مداری، تقویت‌کننده دوطبقه با سوئینگ مناسب و توان کم طراحی شد. شبیه‌سازی مداری مدولاتور سیگما–دلتا با حداکثر SNDR برابر ۷۶/۳ دسی‌بل، تعداد بیت‌های مؤثر ۱۲/۴ و پهنای باند ۵۰۰ هرتز برای کاربردهای مهندسی پزشکی به انجام رسید. توان مصرفی کل مدولاتور برابر ۱۰/۷ میکروواوت است که از نظر کارآیی انرژی، عملکرد بهتری نسبت به بسیاری از مدولاتورهای مشابه دارد. ضریب شایستگی ۱/۹۸ پیکوژول بر سطح تبدیل، نشان‌دهنده مناسب بودن این ساختار برای سیستم‌های پزشکی قابل‌کاشت و کم‌مصرف است. نتایج این پژوهش با مطالعات پیشین نویسندگان در زمینه طراحی مدولاتورهای سیگما–دلتا با توان پایین همخوانی دارد [۱۵، ۱۶].

مراجع

1. H. Inose, Y. Yasuda, and J. Murakami, "A Telemetering System by Code Modulation: Δ-Σ Modulation," IRE Trans. Space Electron. Telemetry, vol. SET-8, pp. 204-209, Sep. 1962.
2. L. S. Y. Wong et al., "A Very Low-Power CMOS Mixed-Signal IC for Implantable Pacemaker Applications," IEEE J. Solid-State Circuits, vol. 39, no. 12, pp. 2446-2456, Dec. 2004.
3. Y. Chae and G. Han, "Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator," IEEE J. Solid-State Circuits, vol. 44, no. 2, pp. 458-472, Feb. 2009.
4. J. Goes et al., "Low-Power Low-Voltage CMOS A/D Sigma-Delta Modulator for Bio-Potential Signals Driven by a Single-Phase Scheme," IEEE Trans. Circuits Syst. I, vol. 52, no. 12, pp. 2595-2604, Dec. 2005.
5. S. A. Zanjani, A. Jannesari, and P. Torkzadeh, "9.9 µW, 140 dB DR, and 93.27 dB SNDR, Double Sampling ΔΣ Modulator Using High Swing Inverter-Based Amplifier for Digital Hearing Aids," Electronics, vol. 12, no. 7, p. 1747, 2023.
6. R. Schreier, "Delta-Sigma Toolbox for MATLAB," 2000. [Online]. Available: http://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox
7. L. Yao, M. Steyaert, and W. Sansen, "A 1-V 140-µW 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS," IEEE J. Solid-State Circuits, vol. 39, no. 11, pp. 1809-1818, Nov. 2004.
8. J. Roh, S. Byun, Y. Choi, H. Roh, Y. G. Kim, and J. K. Kwon, "A 0.9-V 60-µW 1-bit Fourth-Order Delta-Sigma Modulator With 83-dB Dynamic Range," IEEE J. Solid-State Circuits, vol. 43, no. 2, pp. 361-370, Feb. 2008.
9. T. B. Cho and P. R. Gray, "A 10 b, 20 Msample/s, 35 mW Pipeline A/D Converter," IEEE J. Solid-State Circuits, vol. SC-30, pp. 166-172, Mar. 1995.
10. H. Roh, H. Lee, and Y. Choi, "A 0.8-V 816-nW Delta-Sigma Modulator for Low-Power Biomedical Applications," Analog Integr. Circuits Signal Process., vol. 63, no. 1, pp. 101-106, 2010.
11. J. Goes, B. Vaz, R. Monteiro, and N. Paulino, "A 0.9 V ΔΣ modulator with 80 dB SNDR and 83 dB DR using a single-phase technique," in Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC), Feb. 2006, pp. 74-75.
12. C.-H. Kuo, D.-Y. Shi, and K.-S. Chanag, "A Low-Voltage Fourth-Order Cascade Delta-Sigma Modulator in 0.18-µm CMOS," IEEE Trans. Circuits Syst. I, vol. 57, no. 9, Sep. 2010.
13. P.-H. Su and H. Chiueh, "The Design of Low-Power CIFF Structure Second-Order Sigma-Delta Modulator," in Proc. 52nd IEEE Int. Midwest Symp. Circuits Syst. (MWSCAS), Aug. 2009, pp. 377-380.
14. C.-H. Hsu and K.-T. Tang, "A 1V low power second-order delta-sigma modulator for biomedical signal application," in Proc. 35th Annu. Int. Conf. IEEE Eng. Med. Biol. Soc. (EMBC), Jul. 2013, pp. 1520-1523.
15. M. R. Farsi and K. Monfaredi, "Design and Simulation of High Precision Second-Order Sigma-Delta Modulator for Bluetooth Applications," J. Eng. Sci. Technol., vol. 13, no. 10, pp. 3073-3088, Oct. 2018.

16. M. R. Farsi and K. Monfaredi, "Design of a High-Precision Second-Order Sigma-Delta Modulator with Low Power Consumption for Medical Applications," Journal of Modeling in Engineering (JME), vol. 16, no. 55, pp. 191-197, 2018. DOI: 10.22075/jme.2018.12865.1263.